

单芯片 HID USB 至 UART 桥接器

单芯片 HID USB 至 UART 数据传输

- 集成 USB 收发器；无需外部电阻
- 集成时钟；无需外部晶体
- 集成的 343 字节一次性可编程 ROM，用于存储可定制的产品信息
- 片上加电复位电路
- 片上稳压器：3.45 V 输出

USB 外设功能控制器

- 符合 USB 规格 2.0 标准；全速 (12Mbps)
- 通过 SUSPEND 引脚支持 USB 挂起状态

HID 接口

- 标准 USB 类设备不需要定制驱动程序
- Windows 7、Vista、XP、Server 2003、2000
- Win CE 6.0、5.0 和 4.2
- Mac OS-X
- Linux
- 开放式访问接口规格

Windows 和 Mac HID 至 UART 库

- 用于快速应用程序开发的 API
- 支持 Windows 7、Vista、XP、Server 2003、2000
- 支持 Mac OS X

电源电压

- 自供电：3.0 至 3.6 V
- USB 总线供电：4.0 至 5.25 V
- I/O 电压：1.8 V 至 V_{DD}

UART 接口特性

- 流控制选项：
 - 硬件 (CTS / RTS)
 - 无流控制
- 支持的数据格式：
 - 数据位：5、6、7 和 8
 - 停止位：1、1.5 和 2
 - 校验：奇、偶、标记、空间、无校验
- 波特率：300 bps 至 1 Mbps
- 480 字节接收与发送缓冲区
- RS-485 模式，带总线收发器控制
- 断线传输

GPIO 接口特性

- 10 个 GPIO 引脚，带可配置选项
- 可用作输入、开路漏极或推拉式输出
- 用于外部设备的可配置时钟输出
 - 24 MHz 至 47 kHz
- RS-485 总线收发器控制
- 传送时切换 LED
- 接收时切换 LED

订购零件号

- CP2110-F01-GM (QFN24, 4 x 4 mm, 无铅)
- CP2110-F02-GM1 (QFN28, 5 x 5 mm, 无铅)
 - QFN28 与 CP2102-GM 引脚兼容。

温度范围：-40 至 +85 °C

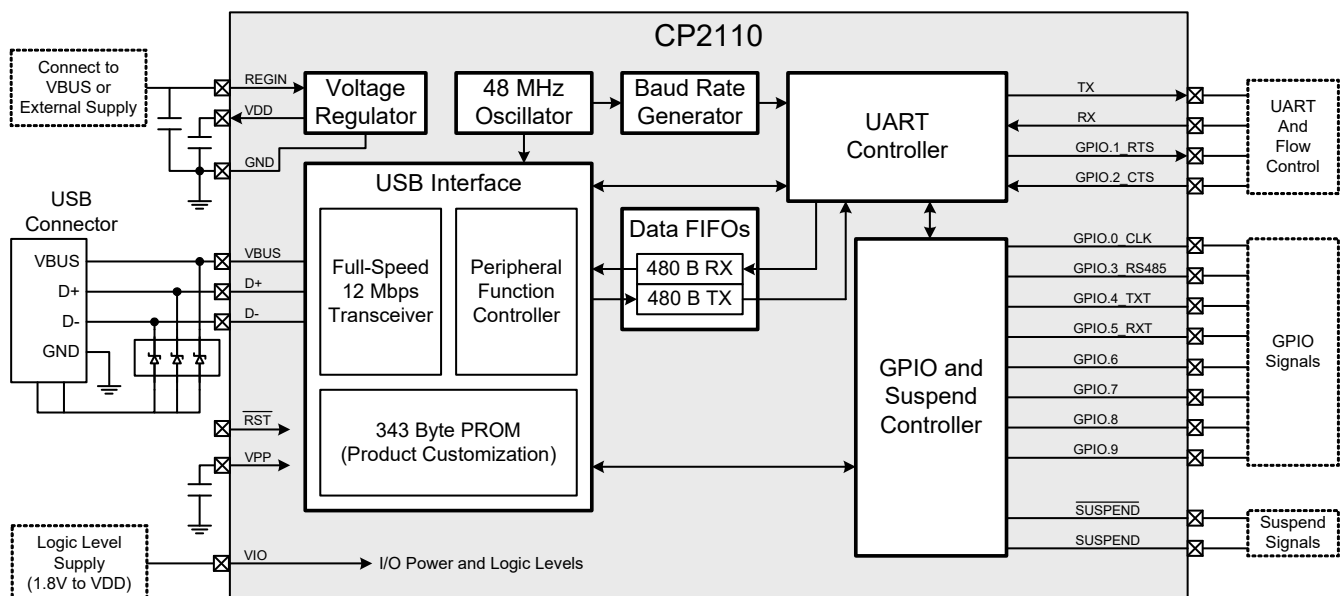


Figure 1. Example System Diagram

目录

章节	页码
系统概述	4
电气特性	5
引脚分配和封装定义	8
QFN-24 封装规格	12
QFN-28 封装规格	14
USB 功能控制器和收发器	16
异步串行数据总线 (UART) 接口	17
GPIO 引脚	18
GPIO.0— 时钟输出	19
GPIO.1-2— 硬件流控制 (RTS 和 CTS)	19
GPIO.3—RS-485 收发器总线控制	20
GPIO.4-5— 发送和接收切换	20
一次性可编程 ROM	21
稳压器	22
CP2110 接口规格和 Windows 接口 DLL	24
相关应用说明	24
文档更改列表	25

1. 系统概述

CP2110 是一种高度集成的 HID USB 至 UART 桥接器控制器，采用最少的元件和 PCB 空间，为将 RS-232 设计更新为 USB 提供了简单的解决方案。CP2110 在紧凑的 4 x 4 mm QFN24 和 5 x 5 mm QFN28 封装（有时称为“MLF”或“MLP”）内包括了 USB 2.0 全速功能控制器、USB 收发器、振荡器、一次性可编程 ROM 和异步串行数据总线 (UART)。

片上一次性可编程 ROM 提供了 OEM 应用所需的选择，可定制 USB 供应商 ID、产品 ID、制造商产品字符串、产品描述字符串、电源描述符、设备发布编号、设备序列号和 GPIO 配置。

CP2110 使用标准 USB HID 设备类别，大部分操作系统原生支持该类别。不需要为此设备安装定制驱动程序。Windows 应用程序通过 Silicon Labs 提供的 Windows DLL 与 CP2110 通信。还提供了 CP2110 的接口规格，以便让任何支持 HID 的操作系统均可以进行 API 开发。

注意：CP2110 设备将不会枚举为标准 HID 鼠标或键盘。

CP2110 UART 接口实现了所有 RS-232 信号，包括控制和硬件握手，因此不需要修改现有系统固件。CP2110 的 UART 能力包括：支持 300 至 1Mbps 范围内的波特率、硬件流控制、支持 5-8 个数据位、5 种类型的奇偶校验并支持 RS-485。

该设备还具备共计 10 个 GPIO 信号，用户可将其定义为状态和控制信息。其中六个 GPIO 信号支持备选功能，包括硬件流控制（RTS 和 CTS）、可配置时钟输出（24 MHz 至 47 kHz）、RS-485 收发器控制以及 TX 和 RX LED 切换。在 -GM 封装中，通过 V_{IO} 引脚，支持低至 1.8 V 的 I/O 接口电压。在 -GM1 封装中， V_{IO} 引脚在内部连接到 VDD。

CP2110 的评估套件（零件编号：CP2110EK）可供使用。它包括一个基于 CP2110 的 USB 至 UART/RS-232 评估板、Windows DLL 和测试应用程序、USB 和 RS-232 电缆以及完整的文档。请访问 www.silabs.com，获取 CP2110 的最新应用说明和产品支持信息。请联系 Silicon Labs 销售代表或访问 www.silabs.com 订购 CP2110 评估套件。

2. 电气特性

Table 1. Absolute Maximum Ratings

Parameter	Test Condition	Min	Typ	Max	Unit
Ambient Temperature under Bias		-55	—	125	°C
Storage Temperature		-65	—	150	°C
Voltage on $\overline{\text{RST}}$, GPIO or UART Pins with respect to GND	$V_{\text{IO}} \geq 2.2 \text{ V}$ $V_{\text{IO}} < 2.2 \text{ V}$	-0.3 -0.3	— —	5.8 $V_{\text{IO}} + 3.6$	V
Voltage on VBUS with respect to GND	$V_{\text{DD}} \geq 3.0 \text{ V}$ V_{DD} not powered	-0.3 -0.3	— —	5.8 $V_{\text{DD}} + 3.6$	V
Voltage on V_{DD} or V_{IO} with respect to GND		-0.3	—	4.2	V
Maximum Total Current through V_{DD} , V_{IO} , and GND		—	—	500	mA
Maximum Output Current Sunk by $\overline{\text{RST}}$ or any I/O pin		—	—	100	mA

Note: Stresses above those listed may cause permanent damage to the device. This is a stress rating only, and functional operation of the devices at or exceeding the conditions in the operation listings of this specification is not implied. Exposure to maximum rating conditions for extended periods may affect device reliability.

Table 2. Global DC Electrical Characteristics
 $V_{\text{DD}} = 3.0$ to 3.6 V , -40 to $+85 \text{ °C}$ unless otherwise specified.

Parameter	Test Condition	Min	Typ	Max	Unit
Digital Supply Voltage (V_{DD})		3.0	—	3.6	V
Digital Port I/O Supply Voltage (V_{IO})	-GM packages only $V_{\text{DD}} = V_{\text{IO}}$ on -GM1	1.8	—	V_{DD}	V
Voltage on V_{PP} with respect to GND during a ROM programming operation	$V_{\text{IO}} \geq 3.3 \text{ V}$	5.75	—	$V_{\text{IO}} + 3.6$	V
Capacitor on V_{PP} for ROM programming		—	4.7	—	μF
Supply Current ¹	Normal Operation; V_{REG} Enabled	—	11.3	12.5	mA
Supply Current ¹	Suspended; V_{REG} Enabled	—	120	220	μA
Supply Current—USB Pull-up ²		—	200	228	μA
Specified Operating Temperature Range		-40	—	+85	°C

Notes:

- If the device is connected to the USB bus, the USB pull-up current should be added to the supply current to calculate total required current.
- The USB pull-up supply current values are calculated values based on USB specifications.

Table 3. UART and Suspend I/O DC Electrical Characteristics

$V_{IO} = 1.8$ to 3.6 V, -40 to $+85$ °C unless otherwise specified.

Parameters	Test Condition	Min	Typ	Max	Unit
Output High Voltage (V_{OH})	$I_{OH} = -10 \mu A$	$V_{IO} - 0.1$	—	—	V
	$I_{OH} = -3 \text{ mA}$	$V_{IO} - 0.2$	—	—	
	$I_{OH} = -10 \text{ mA}$	—	$V_{IO} - 0.4$	—	
Output Low Voltage (V_{OL})	$I_{OL} = 10 \mu A$	—	—	0.1	V
	$I_{OL} = 8.5 \text{ mA}$	—	—	0.4	
	$I_{OL} = 25 \text{ mA}$	—	0.6	—	
Input High Voltage (V_{IH})		$0.7 \times V_{IO}$	—	—	V
Input Low Voltage (V_{IL})		—	—	0.6	V
Input Leakage Current	Weak Pull-Up Off	—	—	1	μA
	Weak Pull-Up On, $V_{IO} = 0$ V	—	25	50	
Maximum Input Voltage	Open drain, logic high (1)	—	—	5.8	V

Table 4. Reset Electrical Characteristics

-40 to $+85$ °C unless otherwise specified.

Parameter	Test Condition	Min	Typ	Max	Unit
$\overline{\text{RST}}$ Input High Voltage		$0.75 \times V_{IO}$	—	—	V
$\overline{\text{RST}}$ Input Low Voltage		—	—	0.6	V
Minimum $\overline{\text{RST}}$ Low Time to Generate a System Reset		15	—	—	μs
V_{DD} Ramp Time for Power On		—	—	1	ms

Table 5. Voltage Regulator Electrical Specifications

–40 to +85 °C unless otherwise specified.

Parameter	Test Condition	Min	Typ	Max	Unit
Input Voltage Range		3.0	—	5.25	V
Output Voltage	Output Current = 1 to 100 mA*	3.3	3.45	3.6	V
VBUS Detection Input Threshold		2.5	—	—	V
Bias Current		—	—	120	μA

***Note:** The maximum regulator supply current is 100 mA. This includes the supply current of the .

Table 6. GPIO Output Specifications

–40 to +85 °C unless otherwise specified.

Parameter	Test Condition	Min	Typ	Max	Unit
GPIO.0 Clock Output		Output x 0.985	Output ¹	Output x 1.015	Hz
RS-485 Active Time After Stop Bit		—	1	—	bit time ²
TX Toggle Rate		—	10	—	Hz
RX Toggle Rate		—	10	—	Hz

1. The output frequency is configurable from 24 MHz to 47 kHz.
2. Bit-time is calculated as 1/ baud rate.

3. 引脚分配和封装定义

Table 7. Pin Definitions

Name	-GM QFN24	-GM1 QFN28	Type	Description
V _{DD}	6	6	Power In	Power Supply Voltage Input.
			Power Out	Voltage Regulator Output. See Section 10.
V _{IO}	5		Power In	I/O Supply Voltage Input. Internally connected to V _{DD} on -GM1 packages.
GND	2	3		Ground. Must be tied to ground.
$\overline{\text{RST}}$	9	9	D I/O	Device Reset. Open-drain output of internal POR or V _{DD} monitor. An external source can initiate a system reset by driving this pin low for the time specified in 表 4.
REGIN	7	7	Power In	5 V Regulator Input. This pin is the input to the on-chip voltage regulator.
VBUS	8	8	D In	VBUS Sense Input. This pin should be connected to the VBUS signal of a USB network.
V _{PP}	16*	18*	Special	Connect 4.7 μF capacitor between this pin and ground to support ROM programming via the USB interface.
D+	3	4	D I/O	USB D+
D-	4	5	D I/O	USB D-
TX	21	26	D Out	Asynchronous data output (UART Transmit) for the UART Interface.
RX	20	25	D In	Asynchronous data input (UART Receive) for the UART Interface.
GPIO.0	1*	2*	D I/O	In GPIO mode, this pin is a user-configurable input or output.
CLK			D Out	In CLK mode, this pin outputs a configurable frequency clock signal.
GPIO.1	24*	24*	D I/O	In GPIO mode, this pin is a user-configurable input or output.
RTS			D Out	In hardware flow control mode, this pin is the Ready To Send control output (active low) for the UART interface.
GPIO.2	23*	23*	D I/O	In GPIO mode, this pin is a user-configurable input or output.
CTS			D In	In hardware flow control mode, this pin is the Clear To Send control input (active low) for the UART interface.
GPIO.3	22*	1*	D I/O	In GPIO mode, this pin is a user-configurable input or output.
RS485			D Out	In RS-485 mode, this pin is the transmit active pin for the RS-485 transceiver.

***Note:** Pins can be left unconnected when not used.

Table 7. Pin Definitions (Continued)

Name	-GM QFN24	-GM1 QFN28	Type	Description
GPIO.4	19*	28*	D I/O	In GPIO mode, this pin is a user-configurable input or output.
TXT			D Out	In TXT mode, this pin is the Transmit Toggle pin and toggles to indicate UART transmission. The pin is logic high when a transmission is not in progress.
GPIO.5	18*	27*	D I/O	In GPIO mode, this pin is a user-configurable input or output for the Standard Comm Interface.
RXT			D Out	In RXT mode, this pin is the Receive Toggle pin. The pin is logic high when the UART is not receiving data.
GPIO.6	15*	19*	D I/O	This pin is a user-configurable input or output.
GPIO.7	14*	17*	D I/O	This pin is a user-configurable input or output.
GPIO.8	13*	16*	D I/O	This pin is a user-configurable input or output.
GPIO.9	12*	10*	D I/O	This pin is a user-configurable input or output.
SUSPEND	11*	12*	D Out	This pin is logic high when the is in the USB Suspend state.
SUSPEND	17*	11*	D Out	This pin is logic low when the is in the USB Suspend state.
N/C	10*	13, 14, 15, 20, 21, 22*		No connect. This pin should be left unconnected or tied to V_{IO} .

***Note:** Pins can be left unconnected when not used.

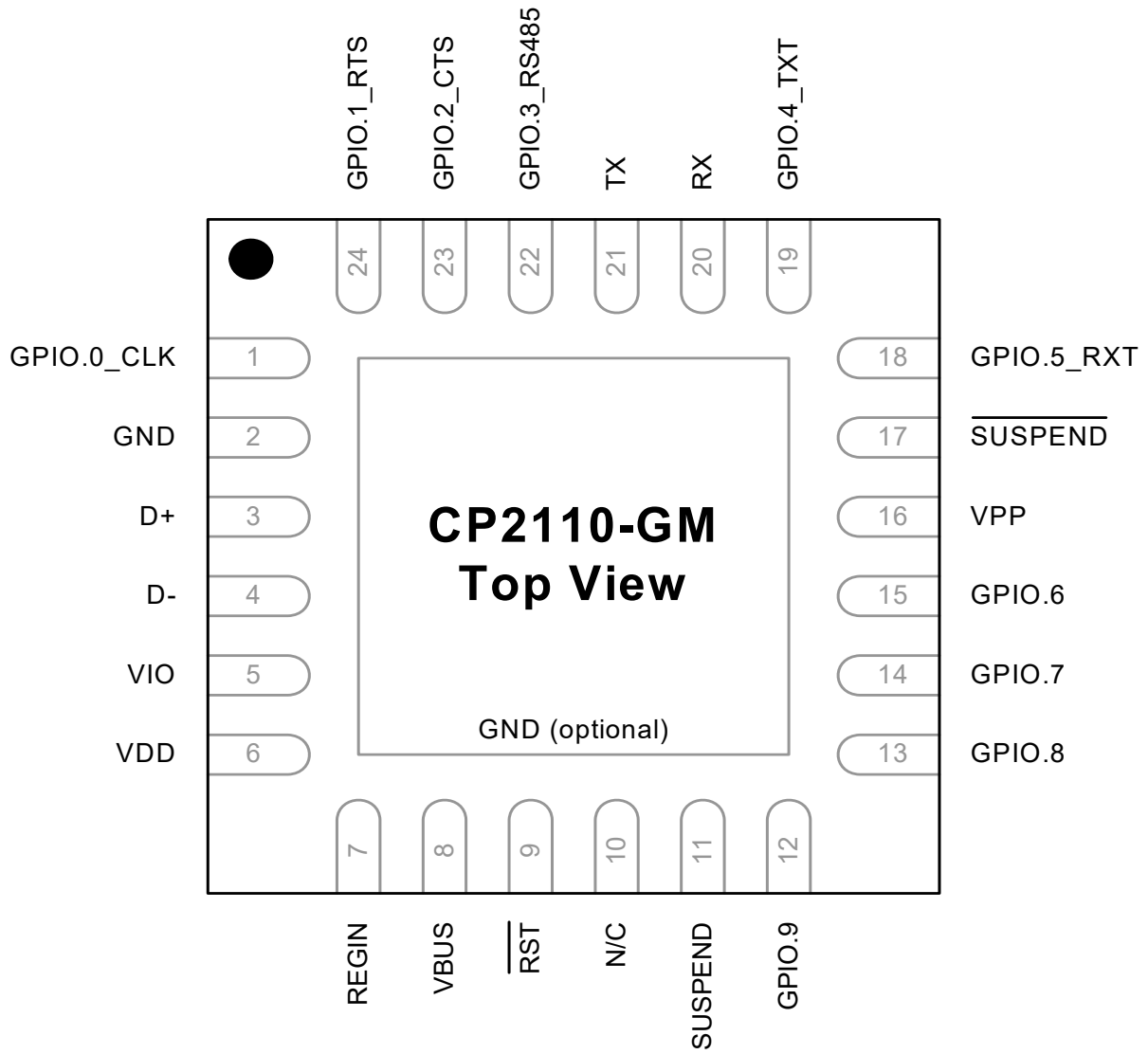


Figure 2. QFN-24 Pinout Diagram (Top View)

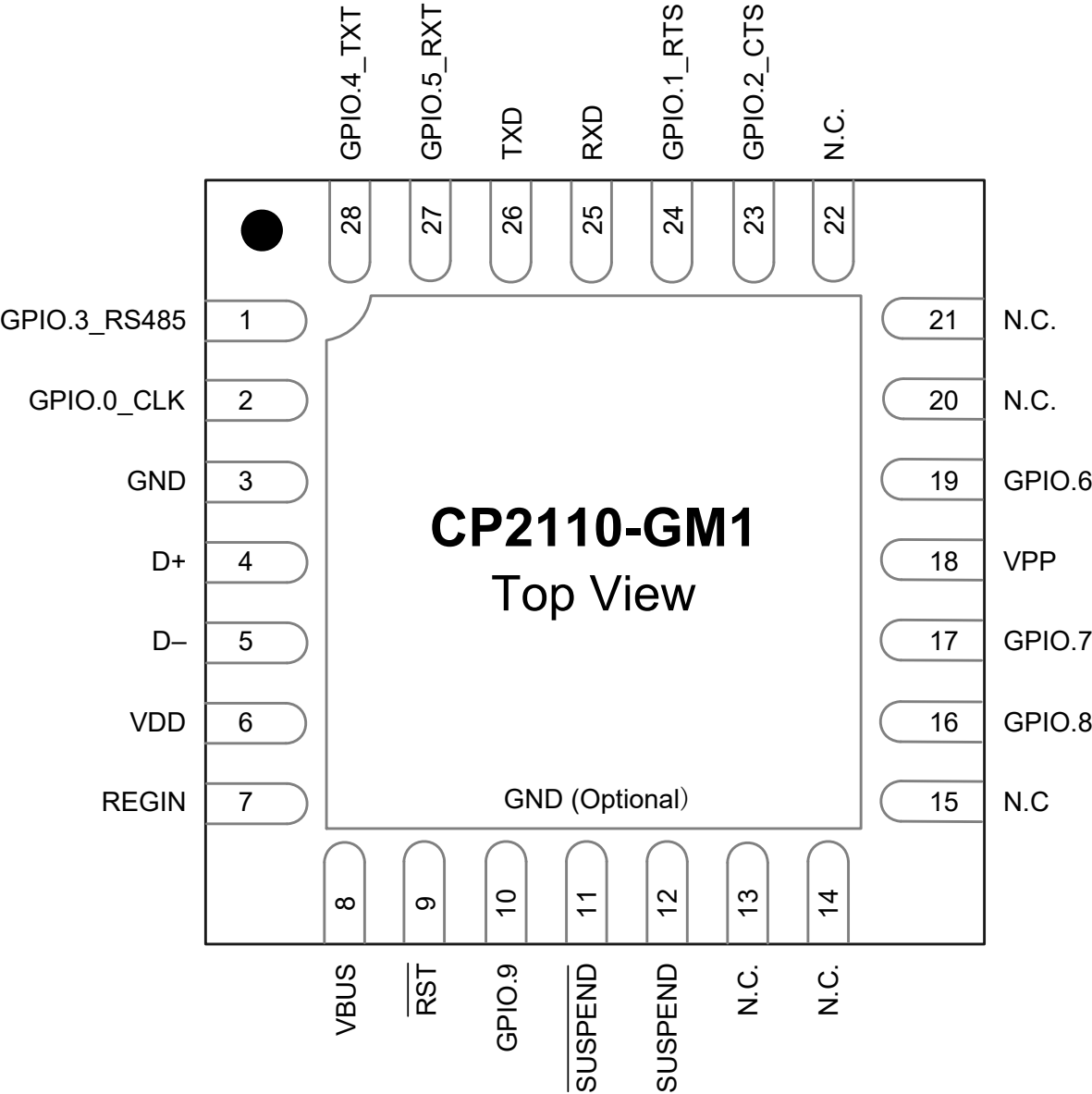


Figure 3. QFN-28 Pinout Diagram (Top View)

4. QFN-24 封装规格

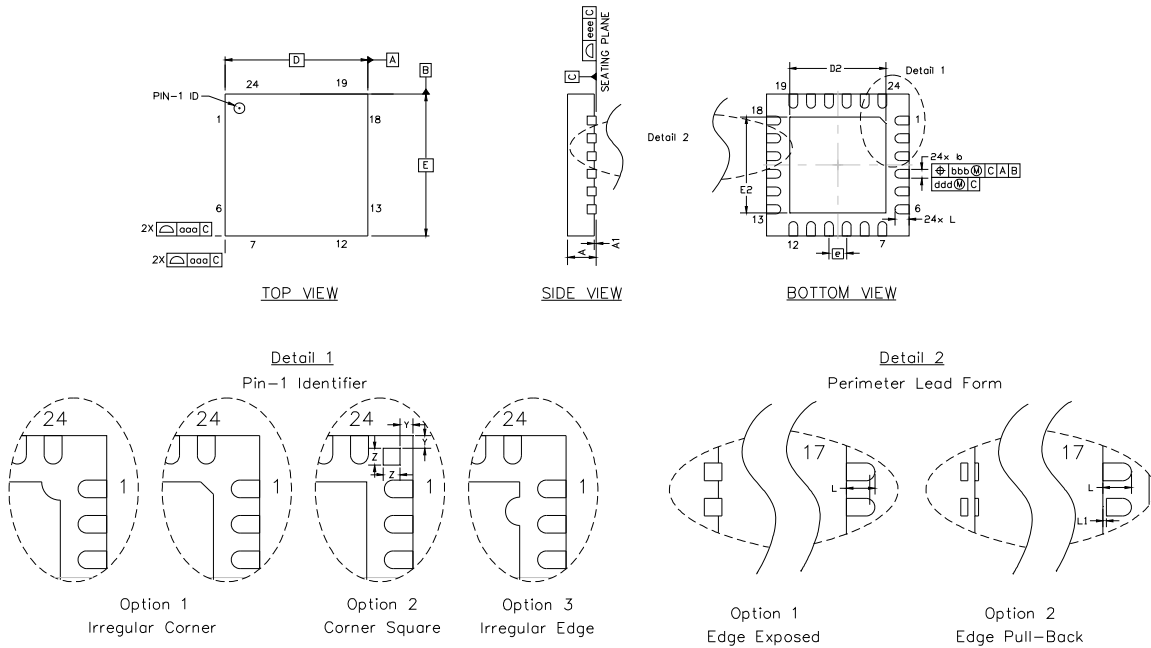


Figure 4. QFN-24 Package Drawing

Table 8. QFN-24 Package Dimensions

Dimension	Min	Typ	Max	Dimension	Min	Typ	Max
A	0.70	0.75	0.80	L	0.30	0.40	0.50
A1	0.00	0.02	0.05	L1	0.00	—	0.15
b	0.18	0.25	0.30	aaa	—	—	0.15
D	4.00 BSC.			bbb	—	—	0.10
D2	2.55	2.70	2.80	ddd	—	—	0.05
e	0.50 BSC.			eee	—	—	0.08
E	4.00 BSC.			Z	—	0.24	—
E2	2.55	2.70	2.80	Y	—	0.18	—

Notes:

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. Dimensioning and Tolerancing per ANSI Y14.5M-1994.
3. This drawing conforms to JEDEC Solid State Outline MO-220, variation WGGD except for custom features D2, E2, Z, Y, and L which are toleranced per supplier designation.
4. Recommended card reflow profile is per the JEDEC/IPC J-STD-020 specification for Small Body Components.

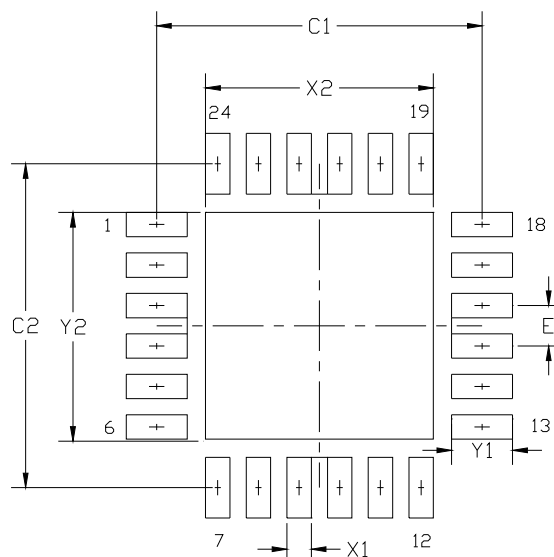


Figure 5. QFN-24 Recommended PCB Land Pattern

Table 9. QFN-24 PCB Land Pattern Dimensions

Dimension	Min	Max	Dimension	Min	Max
C1	3.90	4.00	X2	2.70	2.80
C2	3.90	4.00	Y1	0.65	0.75
E	0.50 BSC		Y2	2.70	2.80
X1	0.20	0.30			

Notes:

General

- All dimensions shown are in millimeters (mm) unless otherwise noted.
- This Land Pattern Design is based on the IPC-7351 guidelines.

Solder Mask Design

- All metal pads are to be non-solder mask defined (NSMD). Clearance between the solder mask and the metal pad is to be 60 μm minimum, all the way around the pad.

Stencil Design

- A stainless steel, laser-cut and electro-polished stencil with trapezoidal walls should be used to assure good solder paste release.
- The stencil thickness should be 0.125 mm (5 mils).
- The ratio of stencil aperture to land pad size should be 1:1 for all perimeter pads.
- A 2 x 2 array of 1.10 x 1.10 mm openings on a 1.30 mm pitch should be used for the center pad.

Card Assembly

- A No-Clean, Type-3 solder paste is recommended.
- The recommended card reflow profile is per the JEDEC/IPC J-STD-020 specification for Small Body Components.

5. QFN-28 封装规格

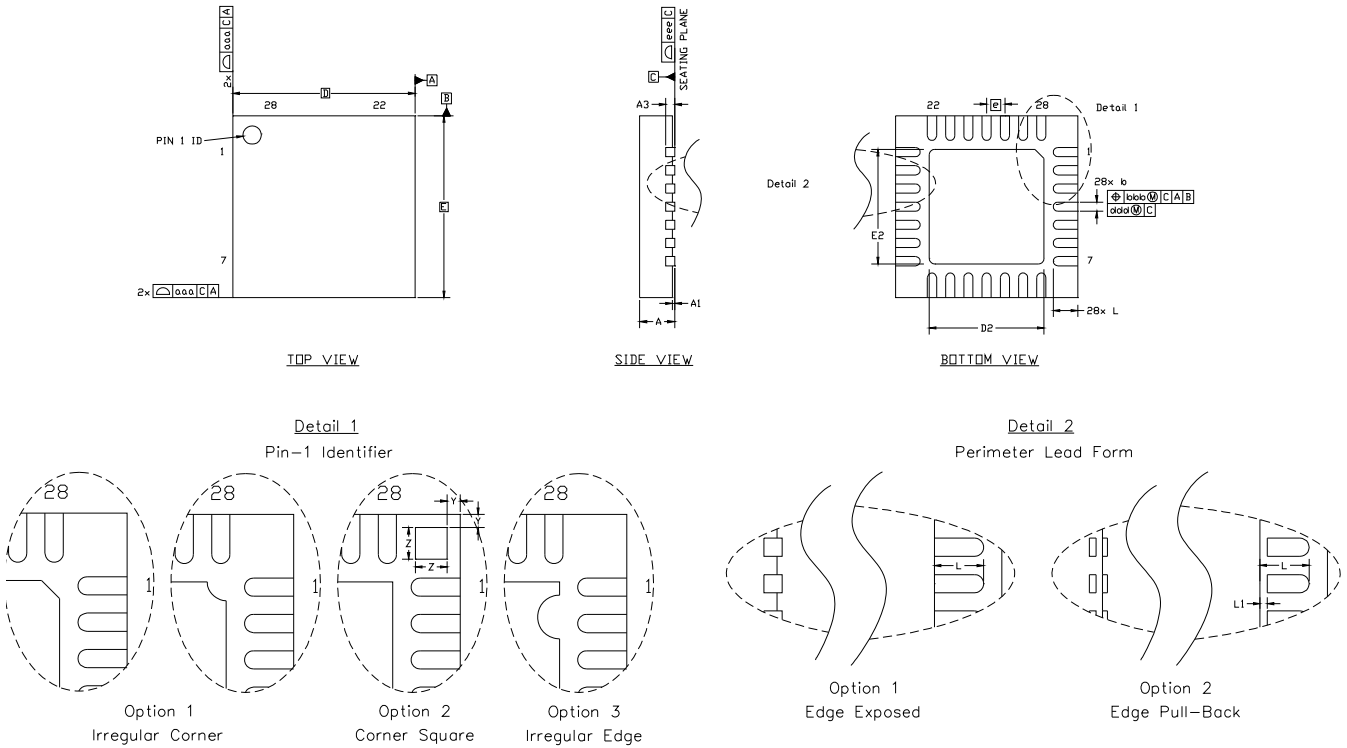


Figure 6. QFN-28 Package Drawing

Table 10. QFN-28 Package Dimensions

Dimension	Min	Typ	Max	Dimension	Min	Typ	Max
A	0.80	0.90	1.00	L	0.35	0.55	0.65
A1	0.00	0.02	0.05	L1	0.00	—	0.15
A3	0.25 REF			aaa	0.15		
b	0.18	0.23	0.30	bbb	0.10		
D	5.00 BSC.			ddd	0.05		
D2	2.90	3.15	3.35	eee	0.08		
e	0.50 BSC.			Z	0.44		
E	5.00 BSC.			Y	0.18		
E2	2.90	3.15	3.35				

Notes:

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. Dimensioning and Tolerancing per ANSI Y14.5M-1994.
3. This drawing conforms to JEDEC Solid State Outline MO-220, variation VHHD except for custom features D2, E2, L, Z, and Y which are toleranced per supplier designation.
4. Recommended card reflow profile is per the JEDEC/IPC J-STD-020 specification for Small Body Components.

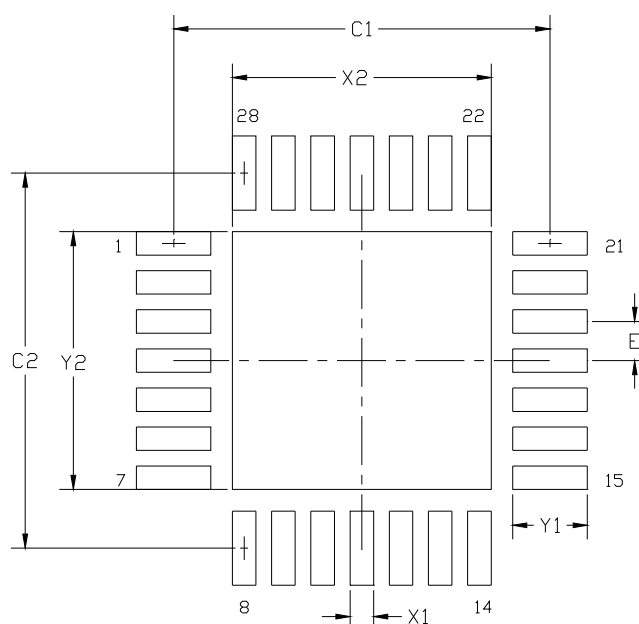


Figure 7. QFN-28 Recommended PCB Land Pattern

Table 11. QFN-28 PCB Land Pattern Dimensions

Dimension	Min	Max	Dimension	Min	Max
C1	4.80		X2	3.20	3.30
C2	4.80		Y1	0.85	0.95
E	0.50		Y2	3.20	3.30
X1	0.20	0.30			

Notes:

General

- All dimensions shown are in millimeters (mm) unless otherwise noted.
- This Land Pattern Design is based on the IPC-7351 guidelines.

Solder Mask Design

- All metal pads are to be non-solder mask defined (NSMD). Clearance between the solder mask and the metal pad is to be 60 μm minimum, all the way around the pad.

Stencil Design

- A stainless steel, laser-cut and electro-polished stencil with trapezoidal walls should be used to assure good solder paste release.
- The stencil thickness should be 0.125 mm (5 mils).
- The ratio of stencil aperture to land pad size should be 1:1 for all perimeter pads.
- A 3 x 3 array of 0.90 mm openings on a 1.1 mm pitch should be used for the center pad to assure the proper paste volume (67% Paste Coverage).

Card Assembly

- A No-Clean, Type-3 solder paste is recommended.
- The recommended card reflow profile is per the JEDEC/IPC J-STD-020 specification for Small Body Components.

6. USB 功能控制器和收发器

CP2110 中的通用串行总线 (USB) 功能控制器是一个符合 USB 2.0 标准的全速设备，带有集成收发器和片上匹配与上拉电阻。USB 功能控制器管理 USB 和 UART 之间的所有数据传输，还管理由 USB 主机控制器生成的命令请求以及用于控制 UART 和 GPIO 引脚功能的命令。

USB 挂起和恢复模式均支持 CP2110 设备和外部电路的电源管理。在总线上检测到挂起信号时，CP2110 进入挂起模式。进入挂起模式后，维持挂起信号。在 CP2110 复位之后也会维持挂起信号，直至在 USB 枚举过程完成设备配置。当设备处于挂起状态时，SUSPEND 为逻辑高电平；当设备处于正常模式时，它为逻辑低电平。SUSPEND 引脚拥有与 SUSPEND 引脚相反的逻辑值。

发生以下任意情况时，CP2110 退出挂起模式：检测到或生成恢复信号、检测到 USB 复位信号或发生设备复位。在 CP2110 复位期间，SUSPEND 和 $\overline{\text{SUSPEND}}$ 会弱上拉至高阻抗状态的 VIO。如果不希望出现这种情况，可使用强力下拉电阻 (10 kW) 以确保 SUSPEND 在复位期间仍保持低电平。

在 USB 挂起期间，各个引脚的逻辑电平和输出模式（推拉式或开路漏极）可在 PROM 中配置。详见 Section 9。

7. 异步串行数据总线 (UART) 接口

UART 接口由 TX（发送）和 RX（接收）数据信号以及可选的 RTS 和 CTS 流控制信号组成。UART 可通过编程支持各种数据格式和波特率。在 PC 上执行设备配置时设定数据格式和波特率。每个接口可用的数据格式和波特率在表 12 中列出。

Table 12. Data Formats and Baud Rates

Data Bits	5, 6, 7, and 8
Stop Bits	1, 1.5 ¹ , and 2
Parity Type	None, Even, Odd, Mark, Space
Baud Rate	300 bps to 1 Mbps ²
Notes:	
1. 1.5 stop bits only available when using 5 data bits.	
2. Baud rates above 500,000 baud not supported with 5 or 6 data bits.	

UART 接口的波特率发生器非常灵活，允许用户请求 300 bps 至 1 Mbps 范围内的任意波特率。如果从内部 24 MHz 振荡器无法直接生成波特率，设备将选择最接近的可能选项。实际波特率由 Equation 1 和 Equation 2 得出。

$$\text{Clock Divider} = \frac{24 \text{ MHz}}{2 \times \text{Prescale} \times \text{Requested Baud Rate}} \quad \begin{array}{l} \text{Prescale} = 4 \text{ if Requested Baud Rate} \leq 300 \text{ bps} \\ \text{Prescale} = 1 \text{ if Requested Baud Rate} > 300 \text{ bps} \end{array}$$

公式 1. 时钟分频器计算

$$\text{Actual Baud Rate} = \frac{24 \text{ MHz}}{2 \times \text{Prescale} \times \text{Clock Divider}} \quad \begin{array}{l} \text{Prescale} = 4 \text{ if Requested Baud Rate} \leq 300 \text{ bps} \\ \text{Prescale} = 1 \text{ if Requested Baud Rate} > 300 \text{ bps} \end{array}$$

公式 2. 波特率计算

大部分波特率可在小于 1.0% 的误差率下生成。一般来说，大多数 UART 应用都将发送器和接收器的波特率误差率限制在不超过 ±2% 的范围内。在 Equation 1 中获得的时钟分频器值四舍五入为最接近的整数，这样可能会产生误差源。另一个误差源将是 24 MHz 振荡器，它可精确到 ±0.25%。知道了实际波特率和请求的波特率，即可使用 Equation 3 计算出总波特率误差。

$$\text{Baud Rate Error (\%)} = 100 \times \left(1 - \frac{\text{Actual Baud Rate}}{\text{Requested Baud Rate}} \right) \pm 0.25\%$$

公式 3. 波特率误差计算

UART 也支持断线传输。可在 1 至 125 ms 的范围内设定断线的时长，也可以将其设置为无限期发送，直至应用发出停止命令为止。

8. GPIO 引脚

CP2110 支持 10 个用户可配置的 GPIO 引脚。这些 GPIO 引脚中的每一个均可用作输入、开路漏极输出或推拉输出。这些 GPIO 引脚的其中六个也提供备选功能，如表 13 所列。有关配置和使用这些引脚的更多信息可在 Silicon Labs 网站上的“AN721: USBXpress™ 设备配置和编程指南”中查找。

Table 13. GPIO Pin Alternate Functions

GPIO Pin	Alternate Function
GPIO.0	CLK Output
GPIO.1	RTS
GPIO.2	CTS
GPIO.3	RS-485 Transceiver Control
GPIO.4	TX Toggle
GPIO.5	RX Toggle

所有 GPIO 引脚的默认配置在表 14 中提供。可对每个设备的引脚配置进行一次性编程。请参见 Section 9，了解为 GPIO 引脚功能编程的更多信息。

Table 14. GPIO Pin Default Configuration

GPIO Pin	Default Function	GPIO Pin	Default Function
GPIO.0	GPIO Input	GPIO.5	RX Toggle
GPIO.1	RTS	GPIO.6	GPIO Input
GPIO.2	CTS	GPIO.7	GPIO Input
GPIO.3	RS-485 Transceiver Control	GPIO.8	GPIO Push-Pull Output
GPIO.4	TX Toggle	GPIO.9	GPIO Push-Pull Output

开路漏极输出和推拉式输出之间的差别在于 GPIO 输出何时驱动到高电平。逻辑高电平的开路漏极输出通过内部上拉电阻将引脚拉至 VIO 轨。逻辑高电平推拉式输出直接将引脚连接到 VIO 电压。以比 VIO 引脚更高的电压连接到逻辑时，通常使用开路漏极输出。这些引脚可通过外部上拉电阻安全地拉至更高的外部电压。最大外部上拉电压为 5 V。

读取和写入 GPIO 引脚的速度受制于 USB 总线的时序。不建议将配置为输入或输出的 GPIO 引脚用于实时信号。

8.1. GPIO.0— 时钟输出

GPIO.0 可配置为输出可配置的 CMOS 时钟输出。设备完成枚举并退出 USB 挂起模式的同时，引脚上出现时钟输出。当设备进入 USB 挂起模式时，时钟输出从引脚中移除。可通过使用分频器来配置输出频率，表 6 中规定了精度。若将分频器设置为 0，则输出频率为 24 MHz。对于介于 1 至 255 之间的分频器值，输出频率由以下公式确定：

$$\text{GPIO.0 Clock Frequency} = \frac{24 \text{ MHz}}{2 \times \text{Divider}}$$

公式 4. GPIO.0 时钟输出频率

此分频器独立于用于设定 UART 波特率的分频器。

8.2. GPIO.1-2— 硬件流控制（RTS 和 CTS）

默认情况下，会将 GPIO.1 和 GPIO.2 配置为以硬件流控制引脚 RTS 和 CTS 的形式工作。除了 GPIO PROM 配置之外，还必须将设备配置为使用硬件流控制来使用这些引脚。

RTS，或称发送就绪，是来自 CP2110 的低电平有效输出，它向外部 UART 设备指明 CP2110 的 UART RX FIFO 尚未达到 450 字节的水印级别，已准备接收更多数据。当 RX FIFO 中的数据量达到水印时，CP2110 将 RTS 拉至高电平，指示外部 UART 设备停止发送数据。

CTS，或称清除发送，是向 CP2110 发出的低电平有效输入，被外部 UART 设备用来向 CP2110 指明外部 UART 设备的 RX FIFO 何时装满。一旦 CTS 被拉入高电平，CP2110 将不会发送超过两个字节的数据。

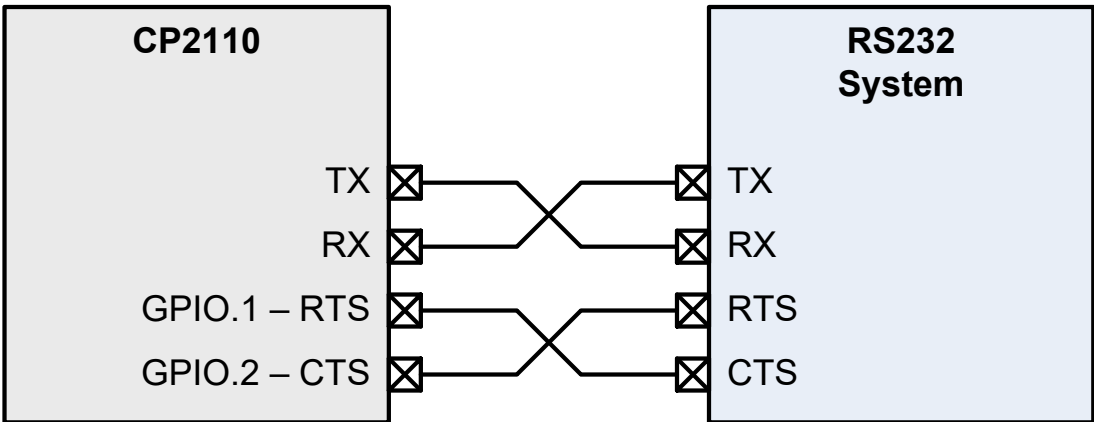


Figure 8. Hardware Flow Control Typical Connection Diagram

8.3. GPIO.3—RS-485 收发器总线控制

GPIO.3 可配置为 RS-485 总线收发器控制引脚，连接到收发器的 DE 和 $\overline{\text{RE}}$ 输入。当为 RS-485 模式进行配置时，在 UART 数据传输以及断线传输过程中引脚保持有效。GPIO.3 的 RS-485 模式默认为有效高电平，但也可配置为有效低电平模式。

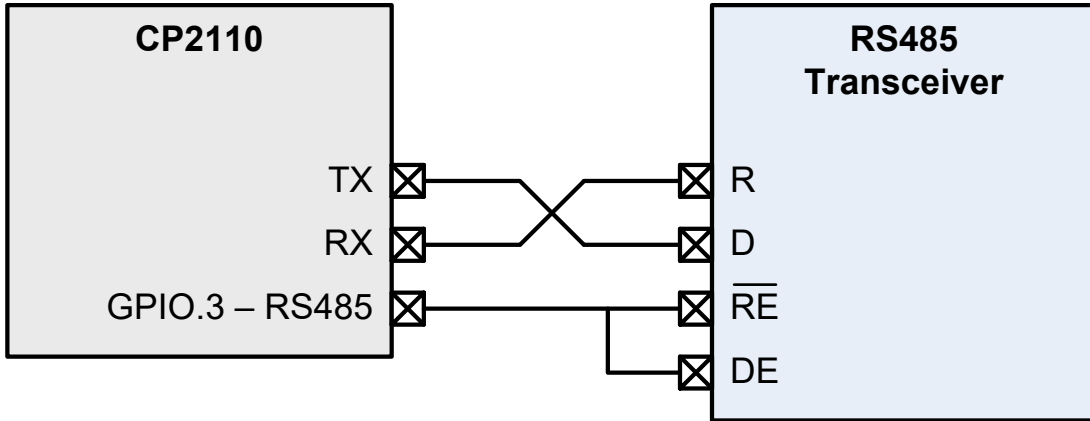


Figure 9. RS-485 Transceiver Typical Connection Diagram

8.4. GPIO.4-5—发送和接收切换

GPIO.4 和 GPIO.5 可配置为发送切换和接收切换引脚。当设备不发送或接收数据时，这些引脚处于逻辑高电平；当进行数据传输时，它们以表 6 中指定的固定速率切换。通常，这些引脚连接到两个 LED 以指明数据传输。

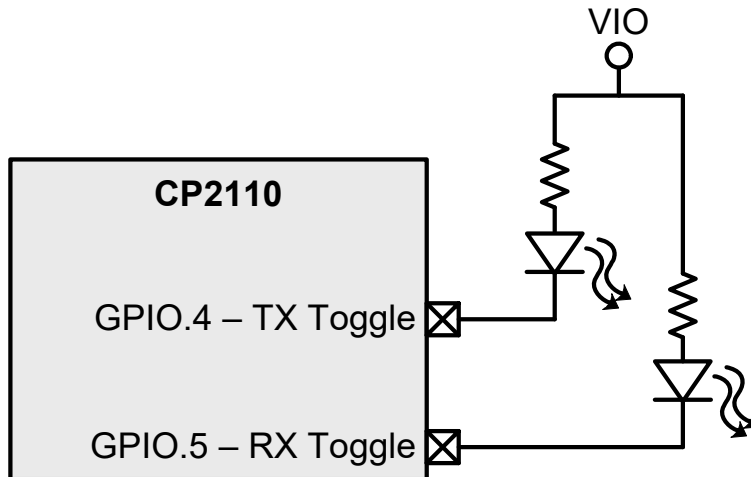


Figure 10. Transmit and Receive Toggle Typical Connection Diagram

有关配置和使用这些引脚的更多信息，可在 Section 9 以及 Silicon Labs 网站上的“AN721: USBXpress™ 设备配置和编程指南”中查找。

9. 一次性可编程 ROM

CP2110 包括一个内部一次性可编程 ROM，可用于定制 OEM 应用所需的 USB 供应商 ID (VID)、产品 ID (PID)、制造商字符串、产品描述字符串、电源描述符、设备发布编号、设备序列号、GPIO 配置以及挂起引脚和模式。如果可编程 ROM 未定制，则会使用表 15 和表 16 所示的默认配置数据。

Table 15. Default USB Configuration Data

Name	Value
Vendor ID	10C4h
Product ID	EA80h
Power Descriptor (Attributes)	80h (Bus-powered)
Power Descriptor (Max. Power)	32h (100 mA)
Release Number	0100h (Release Version 01.00)
Manufacturer String	“Silicon Laboratories” (62 ASCII characters maximum)
Product Description String	“CP2110 HID USB-to-UART Bridge” (62 ASCII characters maximum)
Serial String	Unique 8 character ASCII string (30 ASCII characters maximum)

Table 16. Default GPIO, UART, and Suspend Configuration Data

Name	Value	Name	Value
GPIO.0	GPIO input	GPIO.9	GPIO push-pull output
GPIO.1	RTS	Flush_Buffers	Flush TX and RX FIFO on open
GPIO.2	CTS	TX Mode	Push-pull
GPIO.3	RS-485 Transceiver Control	SUSPEND Mode	Push-pull
GPIO.4	TX Toggle	SUSPEND Mode	Push-pull
GPIO.5	RX Toggle	Suspend Latch	0x0000
GPIO.6	GPIO input	Suspend Mode	0x0000
GPIO.7	GPIO input	RS-485 Level	Active High
GPIO.8	GPIO push-pull output	Clock Divider	Divide by 1 (24 MHz)

虽然 USB 配置数据的定制是可选的，但是我们强烈建议对 VID/PID 组合进行定制。使用唯一的 VID/PID 将防止设备被任何其他制造商的软件应用程序识别。供应商 ID 可从 www.usb.org 获取，Silicon Labs 也可为 OEM 产品提供免费的 PID，可以与 Silicon Labs VID 配合使用。设备序列化在工厂完成，以确保能够唯一地识别 USB 总线及其他应用上的特定设备。设置主机可以查询的序列号描述符字符串将实现这一点。默认情况下，出厂时将为每台设备生成唯一的 32 位序列号。此数字将转换为八个字符的十六进制字符串。也可请求自定义序列化。

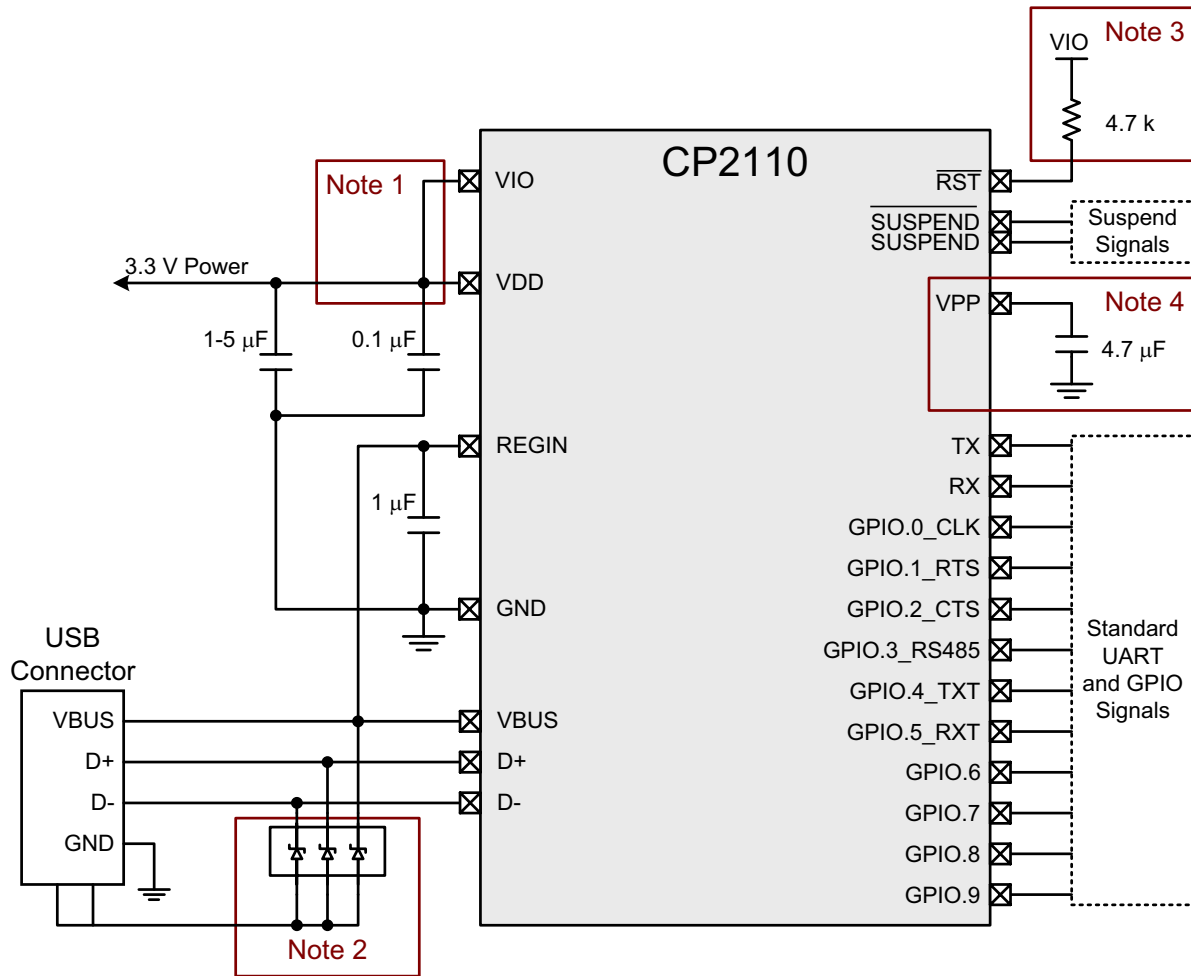
应用说明“AN433: CP2110/4 HID 至 UART API 规格”包括有关可编程值及其有效选项的更多信息。请注意，PROM 中的某些项以组的形式进行编程，对组中的其中一项编程后，便无法再对该组中的任何其他项进行编程。

Silicon Labs 可在装运发货之前对配置数据 ROM 编程，将所需的配置信息编入其内。也可在 PCB 上增加一个电容，通过 USB 接口在系统内编程。如果将在系统内对配置 ROM 进行编程，必须在 VPP 引脚和接地之间添加 4.7 μ F 电容器。在编程操作期间，不得将其他电路连接到 VPP，并且 VIO 必须维持在 3.3V 或更高，以便成功写入到配置 ROM。

10. 稳压器

CP2110 包括 5 至 3.45V 的片上稳压器。这使得 CP2110 可配置为 USB 总线供电的设备或 USB 自供电的设备。使用稳压器的总线供电应用中的典型设备连接图如图 11 所示。当启用时，稳压器输出显示在 V_{DD} 引脚上，可用于为外部设备提供电源。请参见表 5，了解稳压器电气特性。

如果稳压器用于在自供电应用中提供 V_{DD} ，请使用图 11 的相同连接，但是需将 REGIN 连接到板载 5V 电源，并将其与 VBUS 引脚断开。此外，若在 VBUS 为 5V 时 REGIN 可能无供电，则需要使用图 12 注释 5 中所示的电阻分频器，以符合表 1 中 VBUS 规格的绝对最大电压要求。



Note 1 : VIO can be connected directly to VDD or to a supply as low as 1.8 V to set the I/O interface voltage. If the VIO is connected to a supply, the voltage on the pin must always fulfil the requirement in Table 2. Global DC Electrical Characteristics.

Note 2 : Avalanche transient voltage suppression diodes compatible with Full-speed USB should be added at the connector for ESD protection. Use Littelfuse p/n SP0503BAHT or equivalent.

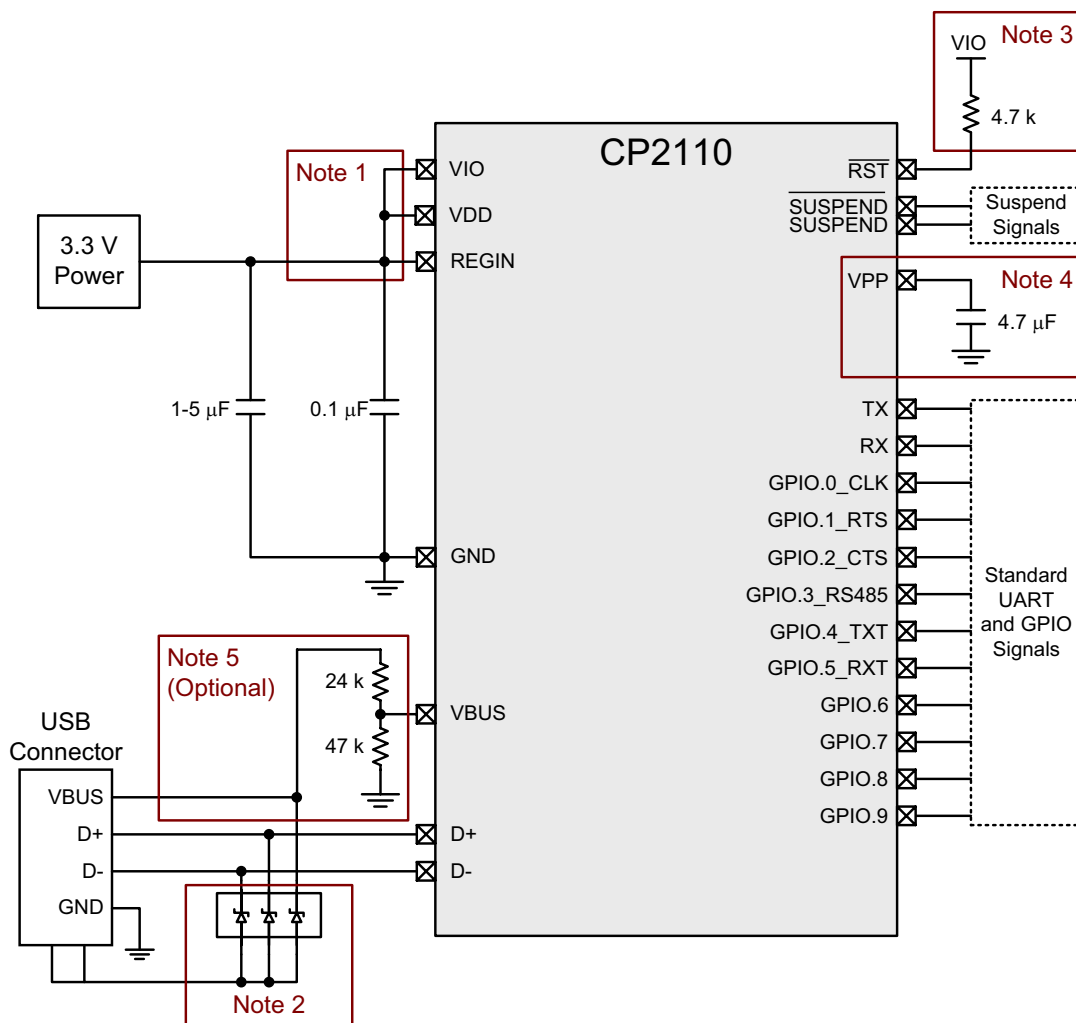
Note 3 : An external pull-up is not required, but can be added for noise immunity.

Note 4 : If programming the configuration ROM via USB, add a 4.7 μ F capacitor between VPP and ground. During a programming operation, do not connect the VPP pin to other circuitry, and ensure that VIO is at least 3.3 V.

Figure 11. Typical Bus-Powered Connection Diagram

此外，若向 V_{DD} 引脚提供 3.0 至 3.6 V 电源，则 CP2110 可充当 USB 自供电设备，并绕开稳压器。对于此配置，请将 REGIN 输入连接到 V_{DD} 以绕开稳压器。自供电应用中绕开稳压器的典型设备连接图如图 12 所示。

USB 最大功率和功率属性描述符必须匹配设备功耗使用和配置。请参见应用说明“AN721: USBXpress™ 设备配置和编程指南”，以了解如何自定义 CP2110 的 USB 描述符。



Note 1 : VIO can be connected directly to VDD or to a supply as low as 1.8 V to set the I/O interface voltage. If the VIO is connected to a supply, the voltage on the pin must always fulfil the requirement in Table 2. Global DC Electrical Characteristics.

Note 2 : Avalanche transient voltage suppression diodes compatible with Full-speed USB should be added at the connector for ESD protection. Use Littelfuse p/n SP0503BAHT or equivalent.

Note 3 : An external pull-up is not required, but can be added for noise immunity.

Note 4 : If programming the configuration ROM via USB, add a 4.7 μF capacitor between VPP and ground. During a programming operation, do not connect the VPP pin to other circuitry, and ensure that VIO is at least 3.3 V.

Note 5 : For self-powered systems where VDD and VIO may be unpowered when VBUS is connected to 5 V, a resistor divider (or functionally-equivalent circuit) on VBUS is required to meet the absolute maximum voltage on VBUS specification in the Electrical Characteristics section.

Figure 12. Typical Self-Powered Connection Diagram (Regulator Bypass)

11. CP2110 接口规格和 Windows 接口 DLL

CP2110 是一个 USB 人机接口设备 (HID)，而且由于大多数操作系统都包括原生 HID 驱动程序，所以不需要安装定制驱动程序。CP2110 不适合其中一种标准 HID 设备类型（例如，键盘或鼠标），因此任何 CP2110 PC 应用程序都需要使用 CP2110 的 HID 规格来与设备通信。CP2110 的低电平 HID 规格在“AN434：CP2110/4 接口规格”中提供。本文档描述了打开、读取、写入和关闭设备的所有基本功能，以及 ROM 编程功能。

Silicon Labs 提供了 Windows DLL，封装了 CP2110 HID 接口及增加了更高级的功能（例如，读 / 写超时）。此 DLL 是 CP2110 的推荐接口。CP2110 Windows DLL 规格中介绍了该 Windows DLL。

这些文档和 DLL 均可在 CP2110EK CD 中找到，也在 <http://www.silabs.com/> 网上提供。

12. 相关应用说明

以下应用说明适用于 CP2110。这些应用说明及其随附软件的最新版本可在 <http://www.silabs.com/interface-appnotes> 找到。

- **AN721：USBXpress™ 设备配置和编程指南。** 此应用说明描述如何使用 AN721 软件 CP21xxCustomizationUtility 在 CP2110 设备上配置 USB 参数。
- **AN434：CP2110/4 接口规格。** 此应用说明描述如何使用低电平 HID 接口连接到 CP2110。
- **AN433：CP2110/4 HID 至 UART API 规格。** 此应用说明描述如何使用 Windows 接口 dll 和 Mac OS X dylib 连接到 CP2110。

文档更改列表

修订版 1.0 至修订版 1.1

- 在整个文档中增加对 CP2110-GM1 封装的支持。

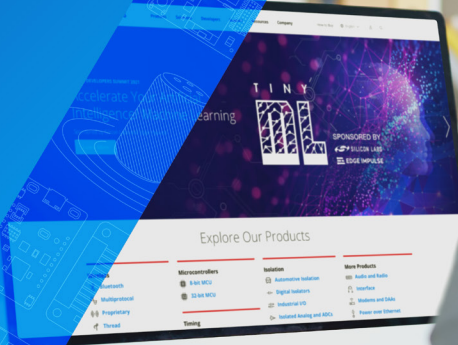
修订版 1.1 至修订版 1.2

- 为第5页上的表1, “Absolute Maximum Ratings” 中的 VBUS 增加了一行。
- 在第6页上的表4, “Reset Electrical Characteristics” 的加电规格中增加了 V_{DD} 上升时间。
- 在第5页上的表2, “Global DC Electrical Characteristics” 中增加了 V_{PP} 电压和电容器规格。
- 将 AN144 参考更新到 AN721。
- 更新了第22页上的“10. 稳压器”, 在自供电系统的 VBUS 要求中增加了绝对最大电压。

修订版 1.2 至修订版 1.3

- 更新了第22页上的图11, “Typical Bus-Powered Connection Diagram” 的注释1和第23页上的图12, “Typical Self-Powered Connection Diagram (Regulator Bypass)” 的注释1中的 VIO 要求。
- 在第22页上的图11, “Typical Bus-Powered Connection Diagram” 的注释4、第23页上的图12, “Typical Self-Powered Connection Diagram (Regulator Bypass)” 的注释4和第21页上的“9. 一次性可编程 ROM” 中将 VDD 更改为 VIO。
- 更新了第21页上的“9. 一次性可编程 ROM” 中有关 CP210x 序列化的信息。
- 更新了第24页上的“12. 相关应用说明” 上的应用说明链接。
- 更新了所有的 AN721 标题。

Smart. Connected. Energy-Friendly.



IoT Portfolio
www.silabs.com/products



Quality
www.silabs.com/quality



Support & Community
www.silabs.com/community

Disclaimer

Silicon Labs intends to provide customers with the latest, accurate, and in-depth documentation of all peripherals and modules available for system and software implementers using or intending to use the Silicon Labs products. Characterization data, available modules and peripherals, memory sizes and memory addresses refer to each specific device, and “Typical” parameters provided can and do vary in different applications. Application examples described herein are for illustrative purposes only. Silicon Labs reserves the right to make changes without further notice to the product information, specifications, and descriptions herein, and does not give warranties as to the accuracy or completeness of the included information. Without prior notification, Silicon Labs may update product firmware during the manufacturing process for security or reliability reasons. Such changes will not alter the specifications or the performance of the product. Silicon Labs shall have no liability for the consequences of use of the information supplied in this document. This document does not imply or expressly grant any license to design or fabricate any integrated circuits. The products are not designed or authorized to be used within any FDA Class III devices, applications for which FDA premarket approval is required or Life Support Systems without the specific written consent of Silicon Labs. A “Life Support System” is any product or system intended to support or sustain life and/or health, which, if it fails, can be reasonably expected to result in significant personal injury or death. Silicon Labs products are not designed or authorized for military applications. Silicon Labs products shall under no circumstances be used in weapons of mass destruction including (but not limited to) nuclear, biological or chemical weapons, or missiles capable of delivering such weapons. Silicon Labs disclaims all express and implied warranties and shall not be responsible or liable for any injuries or damages related to use of a Silicon Labs product in such unauthorized applications.

Note: This content may contain offensive terminology that is now obsolete. Silicon Labs is replacing these terms with inclusive language wherever possible. For more information, visit www.silabs.com/about-us/inclusive-lexicon-project

Trademark Information

Silicon Laboratories Inc.[®], Silicon Laboratories[®], Silicon Labs[®], SiLabs[®] and the Silicon Labs logo[®], Bluegiga[®], Bluegiga Logo[®], EFM[®], EFM32[®], EFR, Ember[®], Energy Micro, Energy Micro logo and combinations thereof, “the world’s most energy friendly microcontrollers”, Redpine Signals[®], WiSeConnect[®], n-Link, ThreadArch[®], EZLink[®], EZRadio[®], EZRadioPRO[®], Gecko[®], Gecko OS, Gecko OS Studio, Precision32[®], Simplicity Studio[®], Telegesis, the Telegesis Logo[®], USBXpress[®], Zentri, the Zentri logo and Zentri DMS, Z-Wave[®], and others are trademarks or registered trademarks of Silicon Labs. ARM, CORTEX, Cortex-M3 and THUMB are trademarks or registered trademarks of ARM Holdings. Keil is a registered trademark of ARM Limited. Wi-Fi is a registered trademark of the Wi-Fi Alliance. All other products or brand names mentioned herein are trademarks of their respective holders.



Silicon Laboratories Inc.
400 West Cesar Chavez
Austin, TX 78701
USA

www.silabs.com