

AN928.2: EFR32 系列 2 布局设计指南

本应用说明旨在帮助用户利用能够实现优良 RF 性能的设计实践，设计 EFR32 系列 2 无线 Gecko 产品组合的 PCB。

2.4 GHz EFR32 系列 2 无线 MCU 的匹配原则载于应用说明 [AN930.2: EFR32 系列 2 2.4 GHz 匹配指南](#) 中，而 1 GHz 以下 EFR32 系列 2 设备的匹配过程在 [AN923.2: EFR32 系列 2 1 GHz 以下匹配指南](#) 中予以讨论。以下应用说明详细介绍了与 MCU 相关的主题：[AN0918.2: 系列 1 至无线 Gecko 系列 2 兼容性和迁移指南](#)、[AN0948.2: EFR32 系列 2 电源配置和 DC-DC](#)，以及 [AN0955: CRYPTO](#)。

Silicon Labs MCU 和无线入门套件以及 Simplicity Studio 提供强大的开发和调试环境。为利用自定义硬件的功能和特性，Silicon Labs 推荐在自定义硬件设计中包含调试和编程接口连接器。有关包含这些连接器接口的详细信息和优点在 [AN958: 自定义设计的调试和编程接口](#) 中有详细阐述。

EFR32 系列 2 的电源配置载于 [AN0002.2: EFR32 无线 Gecko 系列 2 硬件设计注意事项](#)。RF 性能很大程度上依赖于 PCB 布局以及匹配网络的设计。为实现最佳性能，Silicon Labs 建议使用下列部分所述的 PCB 布局设计指南。

内容要点

- 提供参考示意图和 PCB 布局
- 列出并描述所有主要设计原则
- 提供所有设计原则的摘要对照表

1. 设备兼容性

此应用说明支持以下设备：

EFR32 Gecko 系列 2：

- EFR32MG21、EFR32MG22、EFR32MG24、EFR32MG27
- EFR32BG21、EFR32BG22、EFR32BG24、EFR32BG27
- EFR32FG22、EFR32FG23、EFR32FG25、EFR32FG28
- EFR32ZG23、EFR32ZG28

Note: 部件编号 EFR32xG21 包括 EFR32xG21-B 和 EFR32xG21-C，它们是 SoC 的不同版本。

2. 使用 EFR32 系列 2 无线 MCU 的设计建议

已使用 Silicon Labs 提供的参考设计完成广泛测试。建议设计者按原样使用参考设计，因为其能够尽可能减小寄生现象导致或不良元件布置和 PCB 布线产生的失谐作用。EFR32 参考设计文件位于 Simplicity Studio 的“套件文档”选项卡下。

设计的紧凑型 RF 部分（不包括 50 Ω 单端天线）以蓝框圈出，强烈建议使用圈出的 RF 布局，以避免出现任何可能的失谐作用。下图显示了设计中圈出的紧凑型 RF 部分。

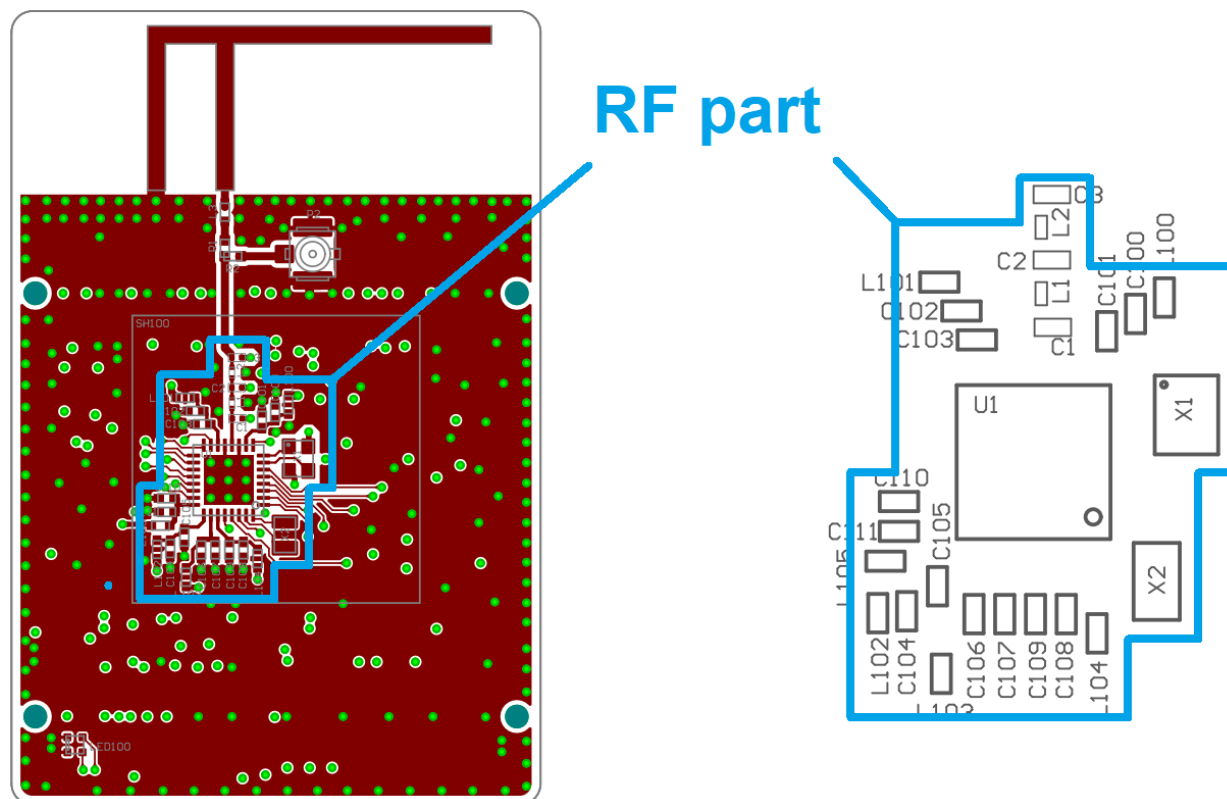


Figure 2.1. BRD4180A (EFR32xG21) 射频板的顶层（左侧）和 RF 部分的组装图（右侧）

MCU VDD 滤波电容的布局也应尽可能参照参考设计。如果布局无法遵循参考设计（由于 PCB 尺寸和形状限制），建议采用下列部分所述的布局设计规则。

2.1 EFR32xG21 无线 MCU 的匹配网络类型

本节将提供建议与 EFR32xG21 搭配使用的匹配网络。务必强调的一点是，调节后的匹配组件值很大程度上依赖于布局图，因此建议遵循 3.2.2 EFR32xG21 匹配网络的其他布局设计指南中记录的布局指导原则。

部件编号 EFR32xG21 包括 EFR32xG21-B 和 EFR32xG21-C，它们是 SoC 的不同版本。

EFR32xG21 无线 MCU 可提供最大 +20 dBm 的功率。所有 EFR32xG21 参考设计均使用 L 系列并联 C 梯级匹配网络。对于低功耗应用 (≤ 10 dBm)，3 元素 C-L-C 网络已足够，而高功耗解决方案 (> 10 dBm) 则需要 5 元素匹配。对于 0 dBm 输出功率，建议的匹配网络显示在 Figure 2.4 适用于 0 dBm 输出功率的 EFR32xG21 的建议匹配网络 on page 5。

10 dBm BRD4181A 无线电板的天线和无线电接口示意图如下。

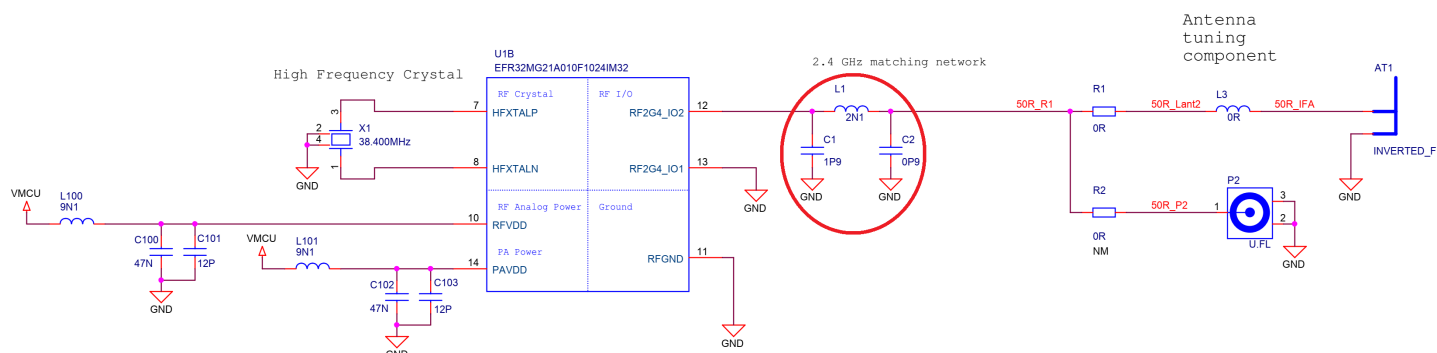


Figure 2.2. 10 dBm BRD4181A 无线电板 RF 部分的示意图（匹配网络已圈出）

20 dBm BRD4180A 无线电板的天线和无线电接口示意图如下。

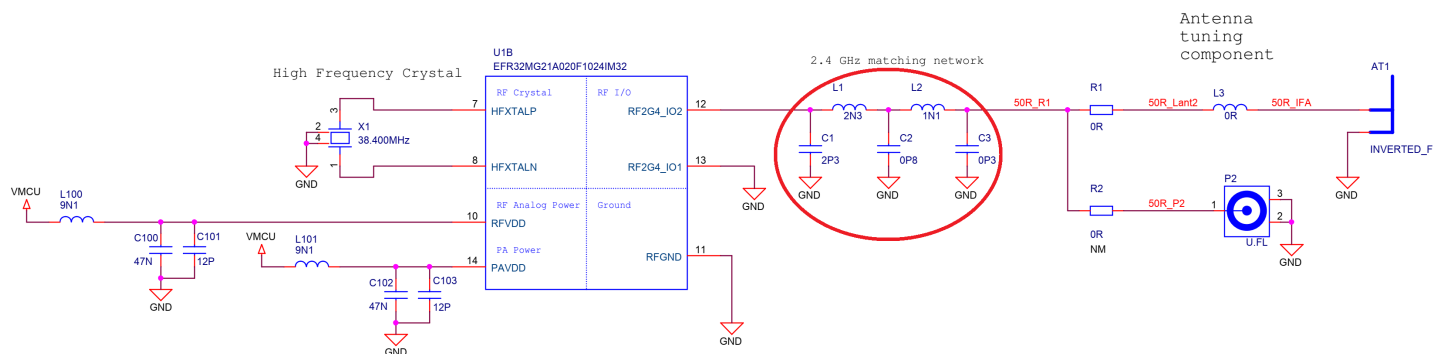


Figure 2.3. 20 dBm BRD4180A 无线电板 RF 部分的示意图（匹配网络已圈出）

当然，EFR32 设备的 TX 输出功率增加的同时，谐波信号绝对大小也会相应地提高。由于大部分监管标准（例如 FCC、ETSI、ARIB 等）要求谐波信号衰减至一定绝对功率级别以下（以瓦特或 dBm 为单位），所需的低通滤波量通常大于使用较高输出功率的 EFR32 的 RF 无线电板。

EFR32xG21 的所有无线电板均包含一个 50 Ω IFA（反向 F 天线），其连接至匹配网络的 50 Ω 输出，能够测量辐射性能。可在这些无线电板上通过 U.FL 连接器进行可选传导测量。

在上图中，天线旁有一个额外的元件 (L3)，其基本上不属于匹配网络。对于自定义设计，建议保留该系列元素的选项以进行额外的谐波抑制，其默认值应为 0 Ω 。

这些无线电板上的 IFA PCB 天线优化为 50 Ω 阻抗，无任何外部离散天线匹配网络。为了实现最大灵活性，建议在自定义设计时保留 L3 与天线之间的 3 元素 PI 结构天线匹配网络选项。

Note: 若使用两个 RF 引脚 (RF2G4_IO1 和 RF2G4_IO2)，匹配可能会相互耦合和失谐，因此理想匹配是仅填充一个引脚。

适用于 EFR32xG21 的 0 dBm 输出功率的建议匹配网络如下所示：

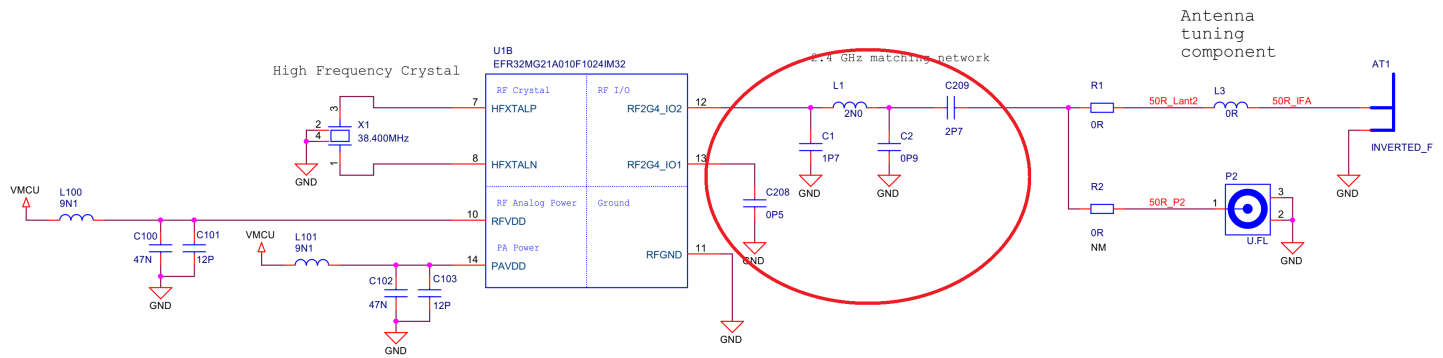


Figure 2.4. 适用于 0 dBm 输出功率的 EFR32xG21 的建议匹配网络

Note: 与 10 dBm 匹配网络相比，0 dBm 匹配网络需要 2 个额外电容及元件值变更。当前无线电板（BRD4180A、BRD4181A）没有适用于 RF2G4_IO1 引脚处的 0.5 pF 电容的选项。因此，这些设备上不能使用 0 dBm PA。要使用 0 dBm PA，必须更改 PCB 布局。

如果使用 0 dBm PA 和拥有相同 BOM 的 10 dBm PA，匹配网络建议如下所示：

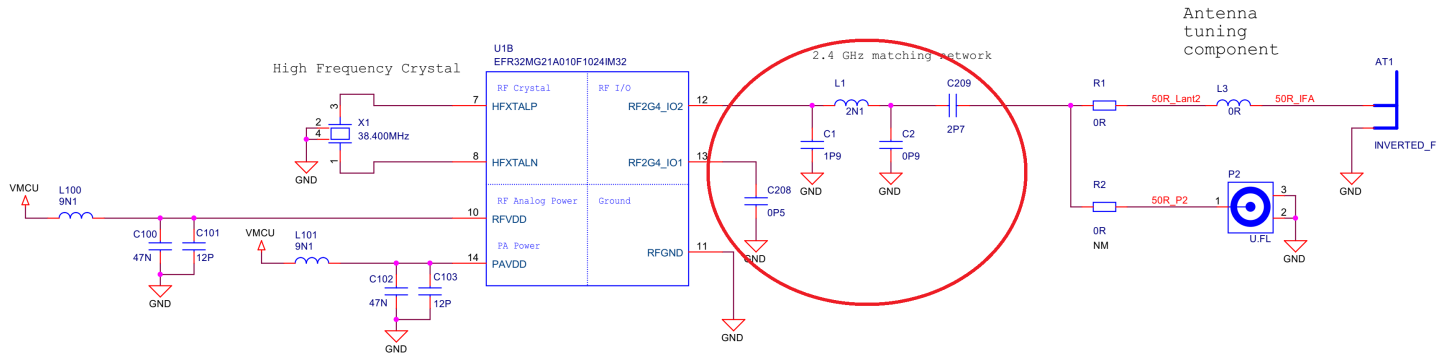


Figure 2.5. 适用于 0/10 DBm 输出功率的 EFR32xG21 的建议匹配网络

Note: 在 10 dBm 功率设置下，C208 的布置和连接对辐射谐波性能有轻微影响。有关如何在 PCB 布局上连接此元件的建议，请参阅 [3.2.2 EFR32xG21 匹配网络的其他布局设计指南](#)。

有关 EFR32xG21 匹配网络原理的进一步详情载于应用说明 [AN930.2: EFR32 系列 2 2.4 GHz 匹配](#)。

2.2 EFR32xG22 无线 MCU 的匹配网络类型

本节将提供建议与 EFR32xG22 搭配使用（采用不同布局方法）的匹配网络。务必强调的一点是，调节后的匹配组件值很大程度上依赖于布局图，因此建议遵循 3.2.3 EFR32xG22 匹配网络的其他布局设计指南中记录的布局指导原则。

有两项专为 EFR32xG22 设计的不同布局和匹配概念，如下所示：

布局概念：

1. 既有概念：此布局方法利用介于第一个并联匹配电容与芯片 RFVSS 接地引脚之间的短 GND 线连接，且该电容不连接到任何导通孔或组件层 GND 灌流（通过 RFVSS 的芯片裸焊盘除外）。第二个并联匹配电容通过单一导通孔在内层的 GND 平面接地。另外，在 RF 匹配电路周围的组件层 GND 灌流上还有共计约 70 密耳的铜禁区。
2. 通用概念：此布局概念遵循更多通用 RF 布局指导原则，不会应用特殊或独特的方法。并联匹配电容通过多个缝合导通孔连接到组件层 GND 灌流上，在 RF 匹配电路周围的组件层 GND 灌流上还有共计约 37 密耳的铜禁区。

匹配概念：

1. Pi 匹配概念：此匹配概念在 Pi 结构中运用三个 SMD 组件，该结构包含两个并联电容以及这两个电容之间的一个串联电感。在过去，这种类型的匹配概念最初是为 EFR32xG22 部件设计的，射频板可以与这种 Pi 匹配配置搭配使用（基于既有布局概念）。在顶部与第一个内部 GND 层之间的间隙很小，即 < 150 μm 时，这种基于通用布局概念的 Pi 匹配网络可在 PCB 层叠配置中提供良好的辐射谐波余裕。
2. T 匹配概念：此匹配概念在 T 结构中运用三个 SMD 组件，该结构包含两个串联电感以及这两个电感之间的一个并联电容。这是为 EFR32xG22 部件设计的最新匹配网络。由于芯片中匹配的第二个组件是串联电感，因此该匹配会在谐波处提供高阻抗负载，从而实现良好的谐波抑制。但是，匹配元件之间的 GND 耦合没有问题，因为在匹配中只有一个并联电容。建议将匹配中的该单一并联电容连接到顶层 GND 平面的 PAVDD 侧。T 匹配对布局变体不太敏感，但在 PCB 层叠配置上遵循通用布局概念时，对于顶部与第一个内部 GND 层之间的间隙等于或小于 0.8 mm 时的情况进行了测试。在 Silicon Labs 2 层和 4 层参考板上使用 T 匹配时，会实现最佳的辐射谐波余裕。

EFR32xG22 数据表提供了与上述第一种布局概念相匹配的建议网络。所有数据表参数均源自此配置。此解决方案可提供出众的传导 RF 性能，但 FCC 认证中的辐射 5 次谐波会很小。若要确保辐射 5 次谐波的余裕，请将第一个并联匹配电容放置在非常靠近芯片引脚的位置，并遵循参考射频板的 PCB 层叠，这一点尤其重要。此外，Silicon Labs 参考射频板还能与既有布局概念搭配使用。

但是，Silicon Labs 建议遵循上述第二种通用布局概念。该解决方案更加稳定，将具有更大的辐射谐波余裕。遵循此布局方法时，RF 性能对 PCB 层叠、组件扩展和布局寄生效应不像既有布局概念那样敏感。此外，在使用标准 PCB 层叠配置（顶部与 GND 层之间的距离介于 0.15 和 0.8 mm 之间）时，T 匹配似乎具有更好的谐波余量（传导和辐射），并且较其他布局概念似乎更加稳定。

EFR32xG22 部分能以最高 +8 dBm 的输出功率水平进行传输。但是，若 TX 功率输出高于 +6 dBm，将导致更高的电流消耗和谐波水平，并且不保证在温度和流程发生变化时能实现 +8 dBm 的 TX 功率。如需详细信息，请与您当地的 Silicon Labs 销售联系人合作，以索取 AN1353-NDA EFR32xG22 8 dBm 使用案例建议。

2.2.1 既有布局概念 #1 的 Pi 匹配网络数据表

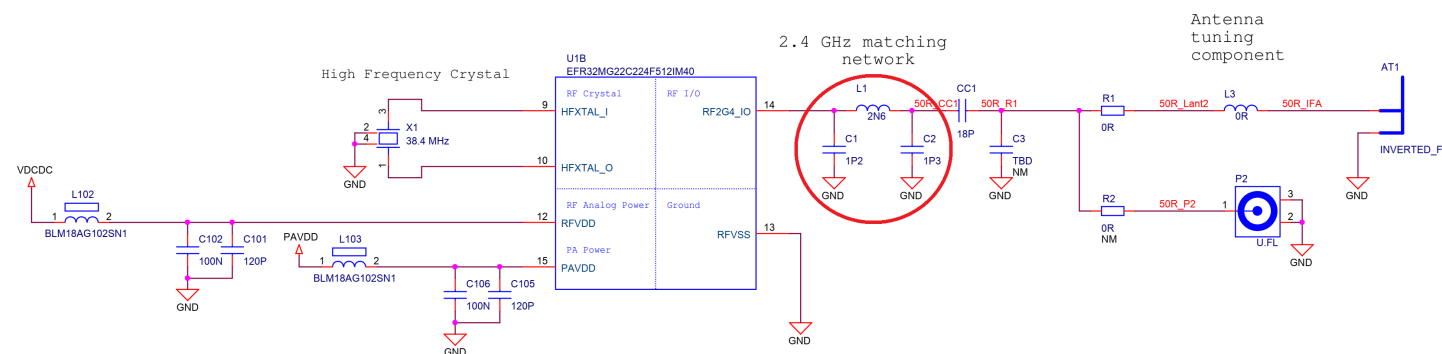


Figure 2.6. 既有布局概念 #1 的 Pi 匹配网络示意图

在遵循以上讨论的既有布局概念 #1 时，搭配使用以上所示的匹配网络和 EFR32xG22 能实现任何可实现的功率水平。使用 0 dBm PA 时，必须采用串联直流阻塞电容 (CC1)，但以上所示的匹配网络已针对等于或低于 +6 dBm 的任何功率水平进行了优化，即同时使用 0 和 +6 dBm PA 进行了优化。

对于顶部（组件侧）与第一个内层之间相距 300 μm 的 4 层 PCB，已对匹配网络组件值进行了优化。对于多层 PCB，若顶部（匹配电路组件侧）和第一个内层之间的距离接近 300 μm ，则这些值也可用于该 PCB。

EFR32xG22 的所有无线电路板均包含一个 50 Ω IFA（反向 F 天线），其连接至匹配网络的 50 Ω 输出，能够测量辐射性能。可在这些无线电路板上通过 U.F.L. 连接器进行可选传导测量。

在上图中，天线旁有一个额外的元件 (L3)，其基本上不属于匹配网络。对于自定义设计，建议保留该系列元素的选项以进行额外的谐波抑制，其默认值应为 0 Ω 。

这些无线电路板上的 IFA PCB 天线优化为 50 Ω 阻抗，无任何外部离散天线匹配网络。为了实现最大灵活性，建议在自定义设计时保留 L3 与天线之间的 3 元素 Pi 结构天线匹配网络选项。

2.2.2 通用布局概念 #2 的 Pi 匹配网络

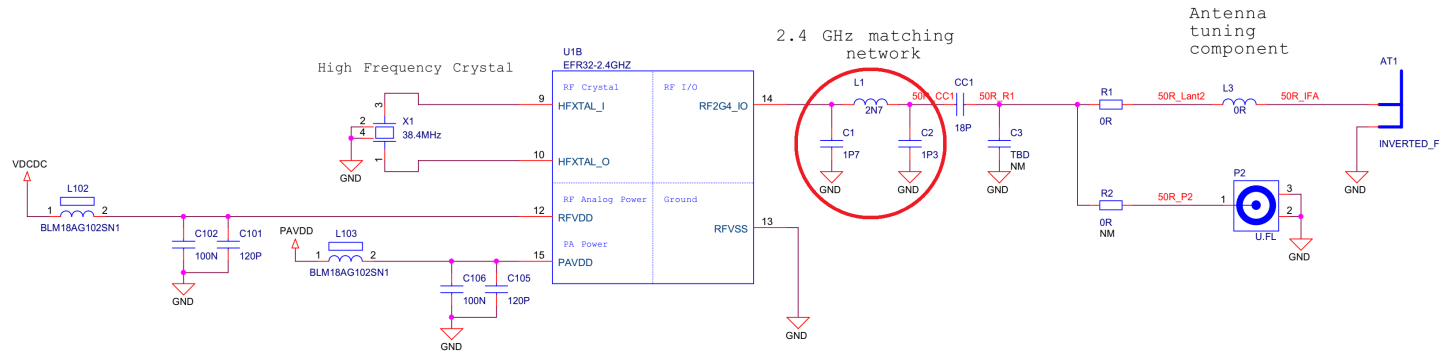


Figure 2.7. 通用布局概念 #2 的 Pi 匹配网络示意图

在至少 2 层的 PCB 上，若顶部与第一个内层（对于 2 层 PCB 则为底部）之间相距最多 800 μm ，则在遵循以上讨论的通用布局概念 #2 时，搭配使用以上所示的匹配网络和 EFR32xG22 能实现任何可实现的功率水平。使用 0 dBm PA 时，必须采用串联直流阻塞电容 (CC1)，但以上所示的匹配网络已针对等于或低于 +6 dBm 的任何功率水平进行了优化。该匹配网络同时针对 0 和 +6 dBm PA 进行了优化。

对于顶部与第一个内层（对于 2 层 PCB 则为底部层）之间相距最多 800 μm (32 密耳) 的 PCB 层叠配置，已对匹配网络组件值进行了优化。测试使用的是顶部与第一个内层之间有 0.3mm 空隙的标准射频板层叠、顶部与第一个内层之间有 0.07 mm 空隙的 4 层 PCB，以及厚度为 32 密耳 (0.8 mm) 的 2 层 PCB。

```
TOP ==| |===== 38 um Cu (ca) After plating
////| |// PREPREG or CORE ///// 300um —> max. 800um
L1 ==| |===== 18 um Cu (0.5 Oz)
////| |// PREPREG or CORE /////
L2 ==| |===== 18 um Cu (0.5 Oz)
- - | |// PREPREG or CORE ///// 300um
BOT ==| |===== 38 um Cu (ca) After plating
```

Figure 2.8. 使用 4 层 PCB 的 Pi 匹配层叠

```
TOP ==| |===== 38 um Cu (ca) After plating
////| |// PREPREG or CORE ///// 300um —> max. 800um
BOT ==| |===== 38 um Cu (ca) After plating
```

Figure 2.9. 使用 2 层 PCB 的 Pi 匹配层叠

EFR32xG22 的所有无线电板均包含一个 50 Ω IFA（反向 F 天线），其连接至匹配网络的 50 Ω 输出，能够测量辐射性能。可在这些无线电板上通过 U.FL 连接器进行可选传导测量。

在上图中，天线附近的额外组件 (L3) 不属于匹配网络。若要实现自定义设计，请保留该串联元件的选择，以拥有更大的谐波抑制能力，其默认值应为 0 Ω 。

这些无线电板上的 IFA PCB 天线优化为 50 Ω 阻抗，无任何外部离散天线匹配网络。若要实现最大灵活性，请在自定义设计时保留 L3 与天线之间的 3 元件 Pi 结构天线匹配网络的选择。

2.2.3 T 匹配网络示意图

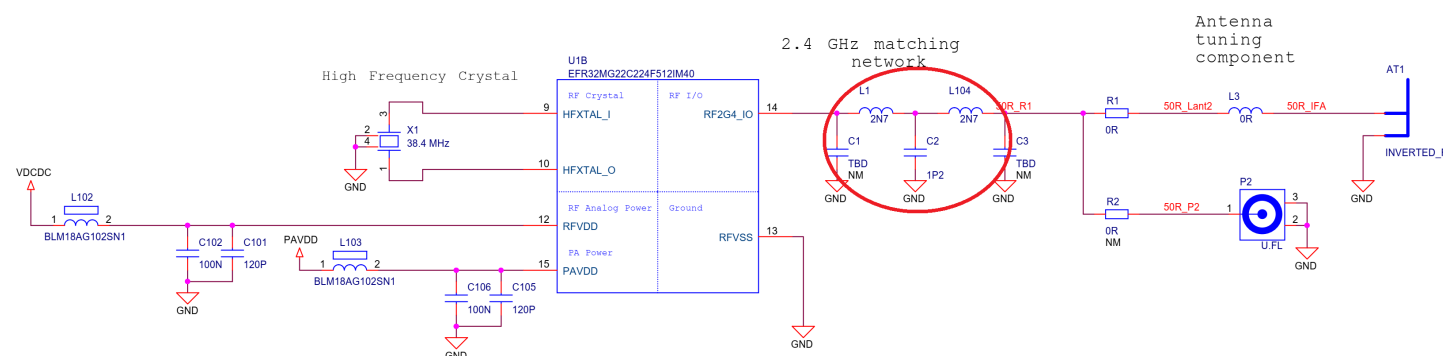


Figure 2.10. T 匹配网络示意图

在至少 2 层的 PCB 上，若顶部与第一个内层（对于 2 层 PCB 则为底部层）之间相距最多 800 μm ，则在遵循以上讨论的通用或既有布局概念时，搭配使用以上所示的匹配网络和 EFR32xG22 能实现任何可实现的功率水平。（Silicon Labs 会在遵循通用布局概念时提供性能数据）。使用 0 dBm PA 时，必须采用额外的串联直流阻塞电容，但以上所示的匹配网络已针对等于或低于 +6 dBm 的任何功率水平进行了优化。该匹配网络同时针对 0 和 +6 dBm PA 进行了优化。

对于顶部与第一个内层（对于 2 层 PCB 则为底部层）之间相距最多 800 μm （32 密耳）的 PCB 层叠配置，已对匹配网络组件值进行了优化。测试匹配网络时使用的是顶部与第一个内层之间有 0.3mm 空隙的标准射频板层叠，以及厚度为 32 密耳 (0.8 mm) 的 2 层 PCB。

```
TOP ==>|===== 38 um Cu (ca) After plating
////| PREPREG or CORE // 300um -> max. 800um
L1 ==>|===== 18 um Cu (0.5 Oz)
////| PREPREG or CORE //
L2 ==>|===== 18 um Cu (0.5 Oz)
- -| PREPREG or CORE // 300um
BOT ==>|===== 38 um Cu (ca) After plating
```

Figure 2.11. 使用 4 层 PCB 的 T 匹配层叠

```
TOP ==>|===== 38 um Cu (ca) After plating
////| PREPREG or CORE // 300um -> max. 800um
BOT ==>|===== 38 um Cu (ca) After plating
```

Figure 2.12. 使用 2 层 PCB 的 T 匹配层叠

EFR32xG22 的所有射频板均包含 50 Ω 倒 F 天线 (IFA)，该天线连接至匹配网络的 50 Ω 输出，能测量辐射性能。可在这些射频板上通过 U.F.L 连接器进行可选传导测量。

在上图中，天线附近的额外组件 (L3) 不属于匹配网络。若要实现自定义设计，请保留该串联元件的选择，以拥有更大的谐波抑制能力，其默认值应为 0 Ω 。

这些无线电路板上的 IFA PCB 天线优化为 50 Ω 阻抗，无任何外部离散天线匹配网络。若要实现最大灵活性，请在自定义设计时保留 L3 与天线之间的 3 元件 Pi 结构天线匹配网络的选择。

2.3 EFR32xG23 无线 MCU 的匹配网络类型

本节将提供建议与 EFR32xG23 搭配使用的匹配网络。务必强调的一点是，调节后的匹配组件值很大程度上依赖于布局图，因此建议遵循 [3.2.4 EFR32xG23 匹配网络的其他布局设计指导原则](#) 中记录的布局指导原则。

EFR32xG23 的典型 RF 匹配电路如下所示：

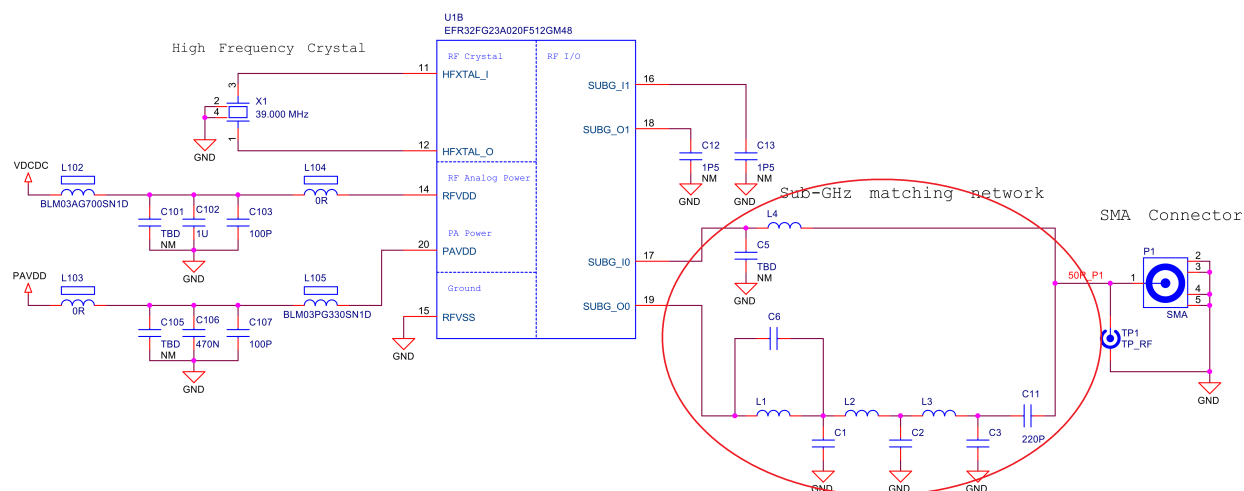


Figure 2.13. EFR32xG23 的典型 RF 匹配电路

Note: 应根据频带和输出功率目标来选择匹配网络组件值。不同频带/输出功率目标的匹配网络结构略有不同。如需了解正确匹配网络的信息，请参阅 [AN923.2: EFR32 系列 2 1 GHz 以下匹配指南](#) 与 EFR32xG23 射频板参考设计。

所有 EFR32xG23 射频板均包含 SMA 连接器，可用于传导测量或者连接外部天线以进行辐射测试。

2.4 EFR32xG24 无线 MCU 的匹配网络类型

本节将提供建议与 EFR32xG24 搭配使用的匹配网络。务必强调的一点是，调节后的匹配组件值很大程度上依赖于布局图，因此建议遵循 3.2.5 EFR32xG24 匹配网络的其他布局设计指导原则中记录的布局指导原则。

EFR32xG24 提供 QFN (QFN40/QFN48) 和 WLCSP (WLCSP42) 两种封装版本。QFN 封装的推荐匹配网络是并联 C 串联 L 梯形结构匹配网络，而 WLCSP 封装需要 T 匹配 (L-C-L)。

对于 QFN 封装设备，低功率 (≤ 10 dBm) 和高功率 (> 10 dBm) 应用的 RF 前端原理图和 PCB 布局设计存在显著差异：

- 10 dBm PA 需要 4 元素 C-L-C-L 匹配网络，而 20 dBm PA 需要 5 元素 C-L-C-L-C 匹配网络（为了实现理想的谐波抑制，需要额外的电容）
- 不同的匹配网络组件值
- 匹配网络周围的不同 PCB 布局
- 10 dBm PA 需要在匹配网络输出端使用直流阻塞电容
- 低功率和高功率情况需要不同的 PAVDD 滤波网络

对于外部分集开关的所有 3 个端口都需要直流阻塞电容的 QFN 封装类型高功率 (> 10 dBm) 天线分集应用，Silicon Labs 也提供了 5 元素 C-L-C-L-C 匹配网络建议。

EFR32xG24 QFN 封装类型的推荐匹配网络针对 10 dBm TX 功率（基于 BRD4186C）进行了优化，如下图所示：

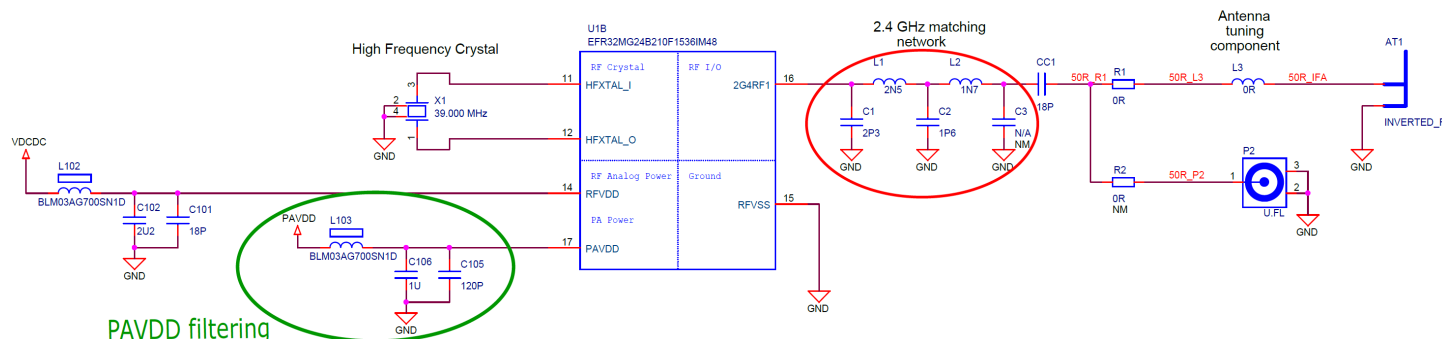


Figure 2.14. EFR32xG24 QFN 封装类型的 10 dBm 匹配网络（匹配网络和 PAVDD 滤波已圈出）

EFR32xG24 QFN 封装类型的推荐匹配网络针对 20 dBm TX 功率（基于 BRD4187C）进行了优化，如下图所示：

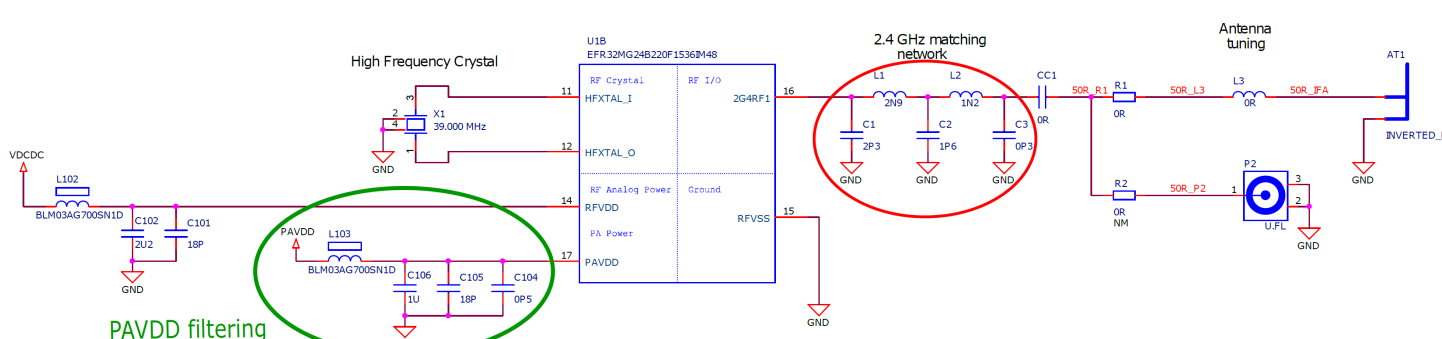


Figure 2.15. EFR32xG24 QFN 封装类型的 20 dBm 匹配网络（匹配网络和 PAVDD 滤波已圈出）

BRD4186C 和 BRD4187C 无线电路板均包含一个 50 Ω IFA（反向 F 天线），其连接至匹配网络的 50 Ω 输出，能够测量辐射性能。可在这些无线电路板上通过 U.FL 连接器进行可选传导测量。

在上图中，天线旁有一个额外的元件 (L3)，其基本上不属于匹配网络。对于自定义设计，建议保留该系列元素的选项以进行额外的谐波抑制，其默认值应为 0 Ω 。

EFR32xG24 QFN 封装类型的推荐匹配网络针对天线分集操作的 20 dBm TX 功率（基于 BRD4188C）进行了优化，如下图所示：

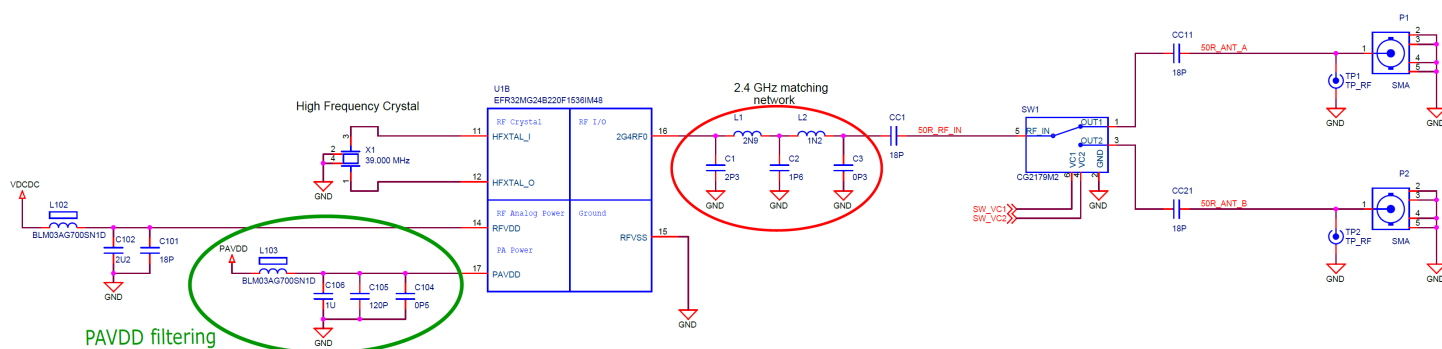


Figure 2.16. 天线分集 EFR32xG24 QFN 封装类型的 20 dBm 匹配网络（匹配网络和 PAVDD 滤波已圈出）

BRD4188B 带有两个 SMA 连接器，这些连接器可用于进行测量或连接外部天线以进行辐射测试。

EFR32xG24 WLCSP 封装类型的推荐匹配网络针对 4 dBm TX 功率（基于 BRD4115B）进行了优化，如下图所示：

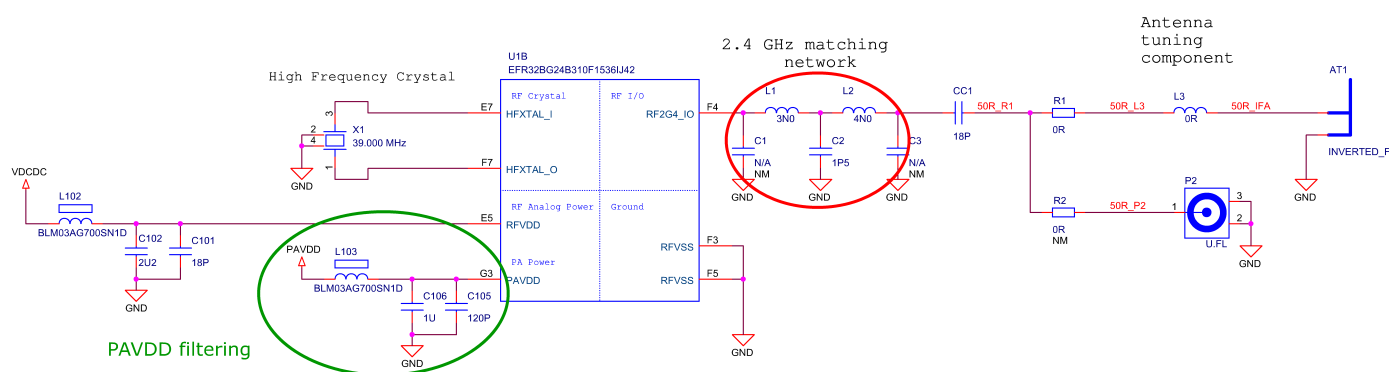


Figure 2.17. EFR32xG24 WLCSP 封装类型的 4 dBm 匹配网络（匹配网络和 PAVDD 滤波已圈出）

BRD4115B 包含 50 Ω 倒 F 天线 (IFA)，该天线连接至匹配网络的 50 Ω 输出，以便能够测量辐射性能。可在这些射频板上通过 U.FL 连接器进行可选传导测量。

在上图中，天线附近的额外组件 (L3) 不属于匹配网络。若要实现自定义设计，请保留该串联元件的选择，以拥有更大的谐波抑制能力。其默认值应为 0 Ω 。

这些无线电路板上的 IFA PCB 天线优化为 50 Ω 阻抗，无任何外部离散天线匹配网络。若要实现最大灵活性，请在自定义设计时保留 L3 与天线之间的 3 元件 Pi 结构天线匹配网络的选择。

2.5 EFR32xG25 无线 MCU 的匹配网络类型

本节将提供建议与 EFR32xG25 搭配使用的匹配网络。务必强调的一点是，调节后的匹配组件值很大程度上依赖于布局图，因此建议遵循第 3.2.6 EFR32xG25 匹配网络的其他布局设计指导原则 节中记录的布局指导原则。

EFR32xG25 无线 MCU 由两个 PA (FSK 和 OFDM) 组成，可提供高达 16 dBm 的功率。无论使用哪种 PA (只能选择其中一种)，本应用说明中提供的匹配网络和布局指导原则 同样适用。

Silicon Labs 推荐两种类型的匹配网络结构：

1. 使用外接陶瓷平衡-不平衡转换器：这种匹配结构由阻抗变换电路、差分至单端变压器平衡-不平衡转换器以及低通滤波器组成。Silicon Labs 为具有相同示意图和布局设计的 868、915 和 920 MHz 频段提供具有此结构的参考设计。
2. 带全离散匹配：这种匹配结构仅由分立无源元件组成，这些元件提供阻抗和差分至单端变换以及低通滤波的功能。Silicon Labs 为 470 MHz 频段提供具有此结构的参考设计。868、915 和 920 MHz 频段的匹配网络在原型无线电路板上进行了测试，该电路板不是一个可供参考设计。

2.5.1 带外部陶瓷平衡-不平衡转换器的匹配网络结构

EFR32xG25 使用外部陶瓷平衡-不平衡转换器的典型 RF 匹配电路如下所示。

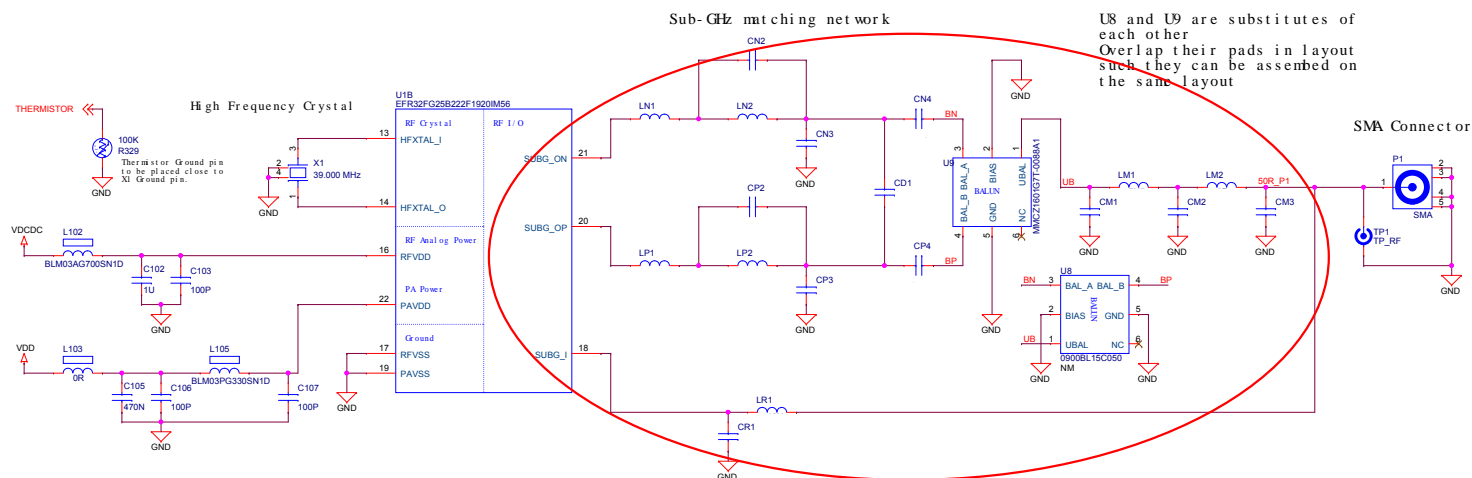


Figure 2.18. 16 dBm BRD4270B 无线电板（匹配网络已圈出）的 RF 部分示意图

Note: 应根据频带选择 匹配网络组件值。但是，868、915 和 920 MHz 频段的 匹配结构相似。如需了解正确 匹配网络的信息，请参阅 [AN923.2: EFR32 系列 2 1 GHz 以下匹配指南](#)与 EFR32xG25 射频板 参考设计。

所有 EFR32xG25 射频板均包含 SMA 连接器， 可用于传导测量或者连接外部天线以进行辐射测试。

2.5.2 全离散匹配网络结构

用于 868、915 和 920 MHz 频段的 EFR32xG25 无线板的典型全离散 RF 匹配电路如下所示。这种结构可以进一步简化为具有较少组件的最低 BOM 版本。有关最低 BOM 版本的示意图，请参阅 AN923.2: EFR32 系列 2 1 GHz 以下匹配指南。

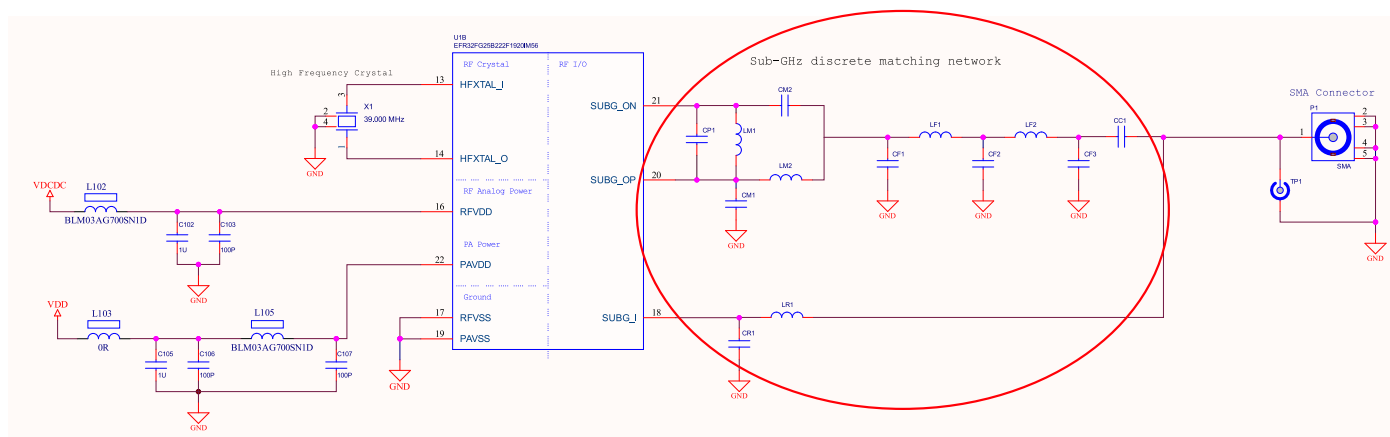


Figure 2.19. 868、915 和 920 MHz 频段全离散匹配原型无线板的 RF 部分示意图（匹配网络已圈出）

用于 470 MHz 频段的 EFR32xG25 无线板的典型全离散 RF 匹配电路如下所示：

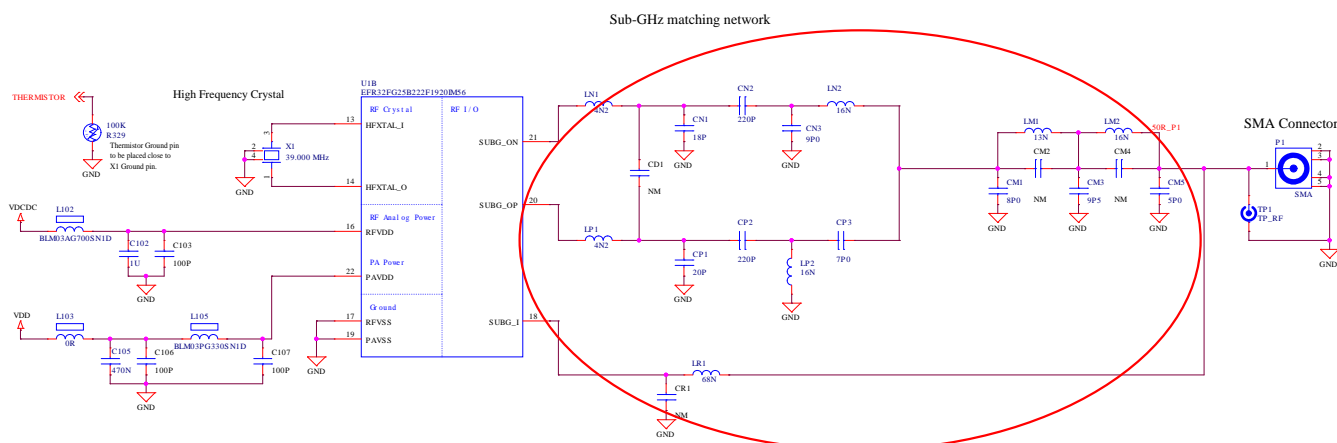


Figure 2.20. 470 MHz 频段全离散匹配 BRD4272A 无线板（匹配网络已圈出）的 RF 部分示意图

Note: 应根据频带选择 匹配网络组件值。虽然 868、915 和 920 MHz 频段的匹配 结构相似，但 470 MHz 频段的匹配结构略有不同， 如上图所示。此外， 尽管全离散匹配原型 无线板上不存在热敏电阻，但可以使用与包含一个热敏电阻的 868、915 和 920 MHz 频段外部陶瓷平衡-不平衡转换器 无线板（BRD4270B 和 BRD4271A）或 470 MHz 频段全离散匹配 无线板（BRD4272A）相同的布局，考虑将其添加到设计中，可用于获得 稳定的 XO 晶振频率。热敏电阻根据 其邻近的温度改变其电阻；因此，它们可用作温度传感器，用于补偿 XO 晶体的温度相关频率 误差。

EFR32xG25 的所有无线板 均包含一个 SMA 连接器，可用于进行测量或 连接外部天线以进行辐射测试。

2.6 EFR32xG27 无线 MCU 的匹配网络类型

本节将提供建议与 EFR32xG27 搭配使用的匹配网络。务必强调的一点是，调节后的匹配组件值很大程度上依赖于布局图，因此建议遵循 3.2.7 EFR32xG27 匹配网络的其他布局设计指导原则中记录的布局指导原则。

EFR32xG27 提供 QFN (QFN32/QFN40) 和 WLCSP (WLCSP39) 两种封装版本。对于 QFN 和 WLCSP 封装，建议的匹配网络是 T 匹配 (L-C-L)，具有串联直流阻塞电容；但是，最佳匹配网络组件值取决于封装类型。QFN 降压的最大可实现功率为 +8 dBm，QFN 升压直流转换器版本的最大可实现功率为 +6 dBm，WLCSP 封装类型（降压和升压模式）的最大可实现功率为 +4 dBm。

EFR32xG27 QFN 封装类型的推荐匹配网络针对 0 / +8 dBm TX 功率（基于 BRD4194A）进行了优化，如下图所示：

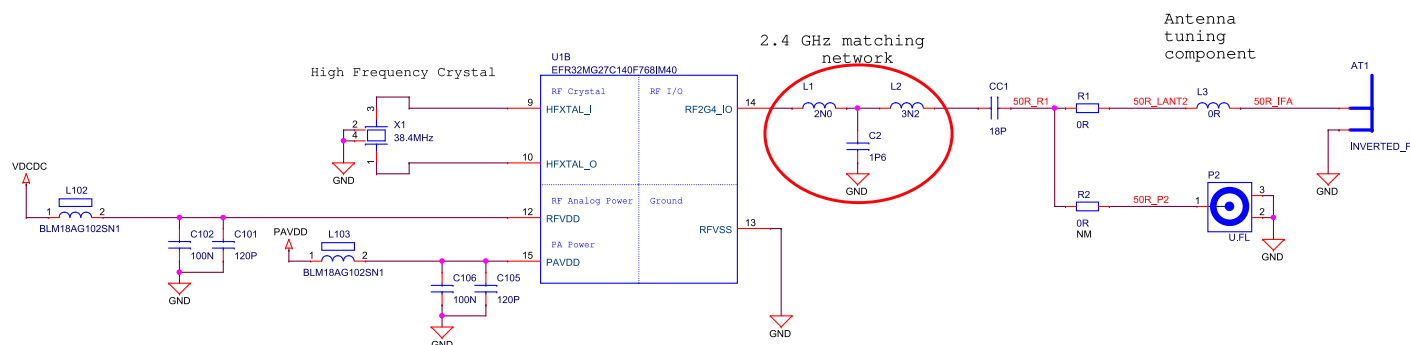


Figure 2.21. EFR32xG27 QFN 封装类型的匹配网络

Note: 上述匹配网络既可用于 QFN 降压版本，也可以用于升压直流转换器版本。当使用 0 dBm PA 时，串联直流阻塞电容 (CC1) 是必要的，如果应用中仅使用高功率 PA，则可以将其去除。

EFR32xG27 WLCSP 类型的推荐匹配网络针对 0 / +4 dBm TX 功率（基于 BRD4110B / BRD4111B）进行了优化，如下图所示：

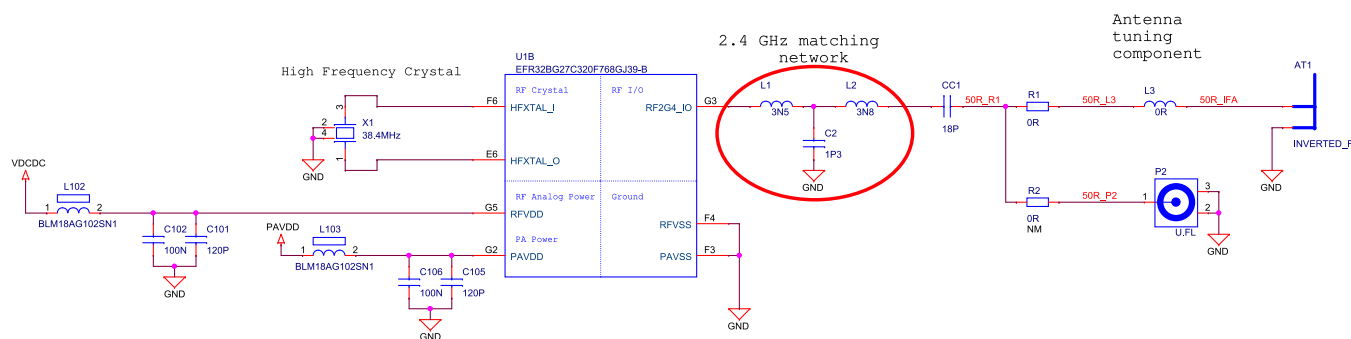


Figure 2.22. EFR32xG27 WLCSP 封装类型的匹配网络

Note: 无论采用哪种直流运行模式（降压/升压），都可以使用上述匹配网络。当使用 0 dBm PA 时，串联直流阻塞电容 (CC1) 是必要的，如果应用中仅使用高功率 PA，则可以将其去除。

在上图中，天线旁有一个额外的元件 (L3)，其基本上不属于匹配网络。对于自定义设计，建议保留该系列元素的选项以进行额外的谐波抑制，其默认值应为 0 Ω 。

2.7 EFR32xG28 无线 MCU 的匹配网络类型

本节将提供建议与 EFR32xG28 搭配使用的匹配网络。务必强调的一点是，调节后的匹配组件值很大程度上依赖于布局图，因此建议遵循 3.2.8 EFR32xG28 匹配网络的其他布局设计指导原则中规定的布局指导原则。

EFR32xG28 无线 MCU 是一款双频段设备，针对使用 1 GHz 以下和 2.4 GHz 频段的应用。因此，RF 前端由两个独立的匹配网络组成，通向各自的天线端口。

用于 868/915 MHz 和 2.4 GHz 频段的 EFR32xG28 的建议匹配网络针对 14 dBm 和 10 dBm TX 功率（基于 BRD4400C）进行了优化，如下图所示：

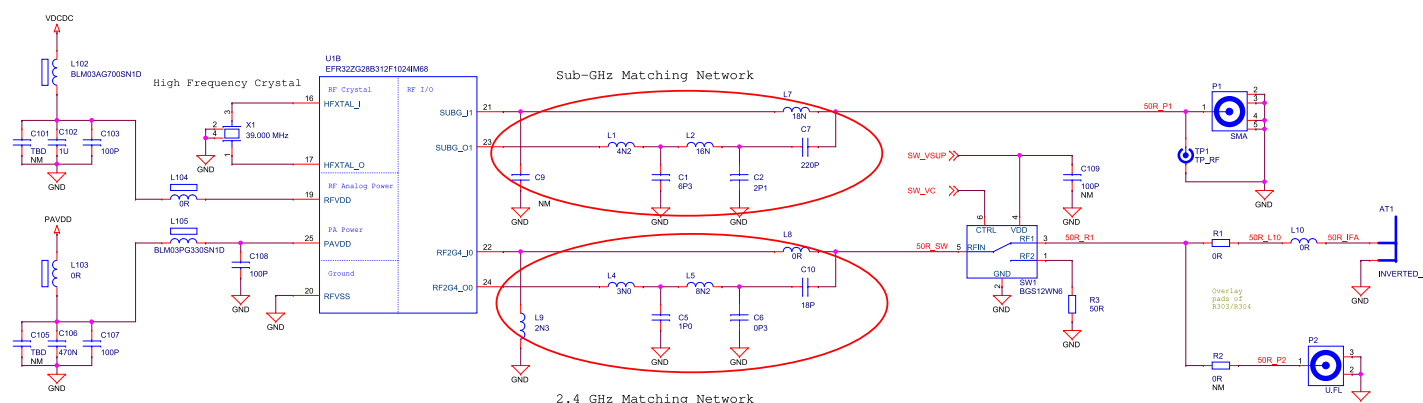


Figure 2.23. 868/915 MHz +14 dBm 和 2.4 GHz +10 dBm BRD4400C 双频段射频板的 RF 部分示意图（匹配网络已圈出）

用于 868/915 MHz 和 2.4 GHz 频段的 EFR32xG28 的建议匹配网络针对 20 dBm 和 10 dBm TX 功率（基于 BRD4401C）进行了优化，如下图所示：

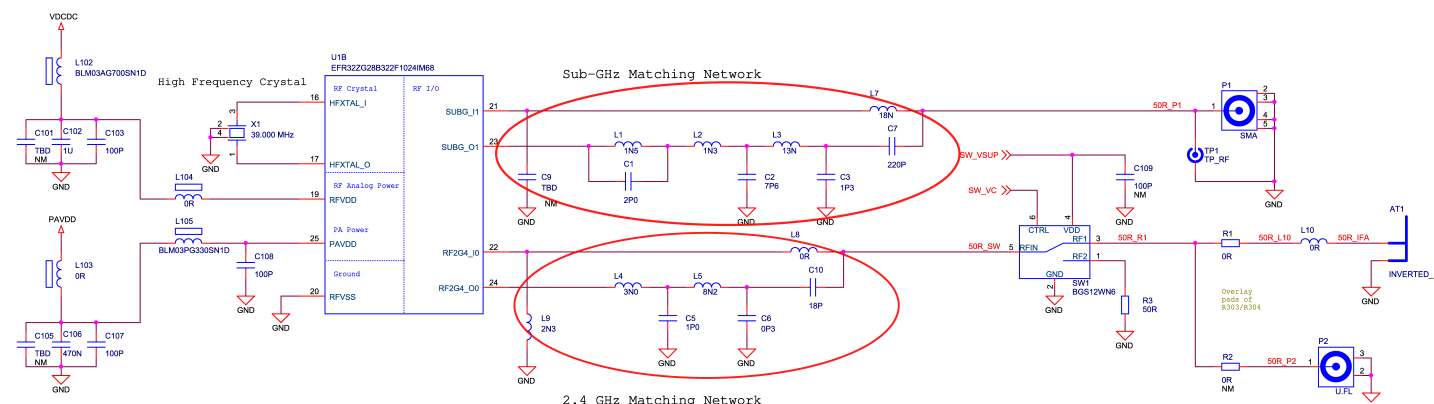


Figure 2.24. 868/915 MHz +20 dBm 和 2.4 GHz +10 dBm BRD4401C 双频段射频板的 RF 部分示意图（匹配网络已圈出）

EFR32xG28 提供 QFN68 和 QFN40 两种封装类型。此外，还有 1 GHz 以下/2.4 GHz 和 1 GHz 以下/1 GHz 以下版本的设备。本应用说明中的布局指导原则适用于所有四种封装版本。

2.4 GHz 匹配网络输出处的 RF 开关是 868 MHz 1 GHz 以下操作中设计的重要组成部分。其目的是分离 2.4 GHz 天线，防止其成为可耦合到 2.4 GHz 路径的第三谐波 (2604 MHz) 的辐射器。

注意：有关不同频率和输出功率等级的不同 1 GHz 以下匹配网络组件值，请参阅设备数据表。

所有 EFR32xG28 射频板均包含 SMA 和 U.FL 连接器，可用于传导测量或者连接外部天线以进行辐射测试。

在上图中，天线旁有一个额外的元件 (L10)，其基本上不属于匹配网络。若要实现自定义设计，建议保留该串联元件的选择，以拥有更大的谐波抑制能力，其默认值应为 0 Ω。

3. 使用 EFR32 系列 2 无线 MCU 的布局设计指南

3.1 EFR32 系列 2 无线 MCU 的总体布局设计指南

设计 RF 相关布局以实现优良 RF 性能的一般指南如下：

- 对于自定义设计，请尽可能使用与参考设计相同数量的 PCB 层。与参考 PCB 层数出现偏差会导致不同的 PCB 寄生电容，无法实现匹配网络的最佳形态。如果需要层数与参考设计不同的设计，请确保顶层和内部第一层之间的距离与参考设计相似，因为这个距离决定了接地的寄生电容值。否则可能会出现匹配网络失调，可能需要微调元件值。
- 避免接地平面敷金属分离。建议尽可能多地在 PCB 上创建均一的接地平面，并使其不被布线分离。而且，匹配网络与 EFR32 IC 裸焊盘接地之间的接地路径应清晰，并在至少一个 PCB 层上畅通无阻。接地平面分离的唯一例外是 EFR32 匹配网络和 HFXO 区域，在这些位置，接地引脚不应连接至顶层接地。有关这些例外情况的更多信息，请参阅 [3.2 EFR32 系列 2 无线 MCU 的布局](#)。
- 请使用尽可能多的接地孔（尤其是在 GND 引脚附近），以尽可能降低不同层的接地灌流和 GND 引脚之间的串联寄生电感。
- 请沿 PCB 边缘和内部 GND 金属灌流边缘使用一系列 GND 针脚孔。孔之间的最大距离应小于第 10 次谐波的 $\lambda/10$ （参考无线电板上孔之间的距离一般为 40 - 50 mil）。该距离能够在这些边缘的弥散场造成的高谐波下降低 PCB 辐射。
- 对于两层以上的设计，建议在内层放置尽可能多的走线（甚至是数字走线），确保顶层和底层有大规模的连续 GND 灌流。
- 避免使用长和/或薄的传输线连接与 RF 相关的元件。否则由于分布式寄生电感，可能发生某些失谐作用。此外，请尽可能缩短互连线，降低接地的并联寄生电容。但是，相邻分立元件的偶联可能会增加。
- 在不同宽度（即不同阻抗）的传输线之间使用渐变线路，以减少内部反射。
- 避免使用回路和长线，以消除共振。它们还可用作不良辐射体，尤其是在谐波上。
- 请使用一些旁路电容确保优良的 VDD 滤波（尤其是工作频率范围）。电容的串联自谐振应靠近滤波频率。过滤最高频率的旁路电容应最接近 EFR32 的 VDD 引脚。除基础频率外，应过滤晶体/时钟频率及其谐波（最高 3 次），以避免向上变频激励。
- 使用多个孔将晶体壳接地，避免未接地部件的辐射。请勿断开和悬空任何可能是不良辐射体的金属。请避免引导电源走线靠近晶体或在晶体下方，或者与晶体信号或时钟走线并联。
- 确保 RF 相关部件（尤其是天线）远离直流转换器输出和相关的直流元件。
- 请避免 GPIO 线路靠近 RF 线、天线或晶体或在其下方，或者与晶体信号并联。请使用 GPIO 线上尽可能最低的偏差率，降低对 RF 或晶体信号的串扰。
- 请使用尽可能短的 VDD 走线。VDD 走线可以是隐藏的不良辐射体，以便尽可能简化 VDD 布线，并使用带有很多针脚孔的大规模连续 GND 灌流。要简化 VDD 布线，请尽量避免 VDD 走线的星形拓扑（即避免连接一个通用点中的所有 VDD 走线）。
- 在天线附近使用丝网会对天线的绝缘环境造成轻微的影响。尽管这一影响通常可以忽略，但是请尽量避免在天线或天线灌流遮挡区使用丝网。

3.2 EFR32 系列 2 无线 MCU 的布局

本节所示示例基于以下设计的布局。

- BRD4180A (EFR32xG21)
- 使用既有布局概念 #1 的 BRD4182A (EFR32xG22)
- 使用通用布局概念 #2 的 BRD4182A (EFR32xG22)
- BRD4210A (EFR32xG23)
- BRD4186C (EFR32xG24)
- BRD4270B (EFR32xG25)，带外部陶瓷平衡-不平衡转换器
- 全离散匹配硬件设计示例 (EFR32xG25)
- BRD4194A (EFR32xG27)
- BRD4400C (EFR32xG28)

常见布局设计概念与 BRD4180A 无线电路板布局一同显示，用于展示基本原理。在下文中，几个独立部分将针对特定 EFR32 系列的匹配网络提供额外布局设计指南。

下图中显示了上述设计中 RF 部分的布局结构。

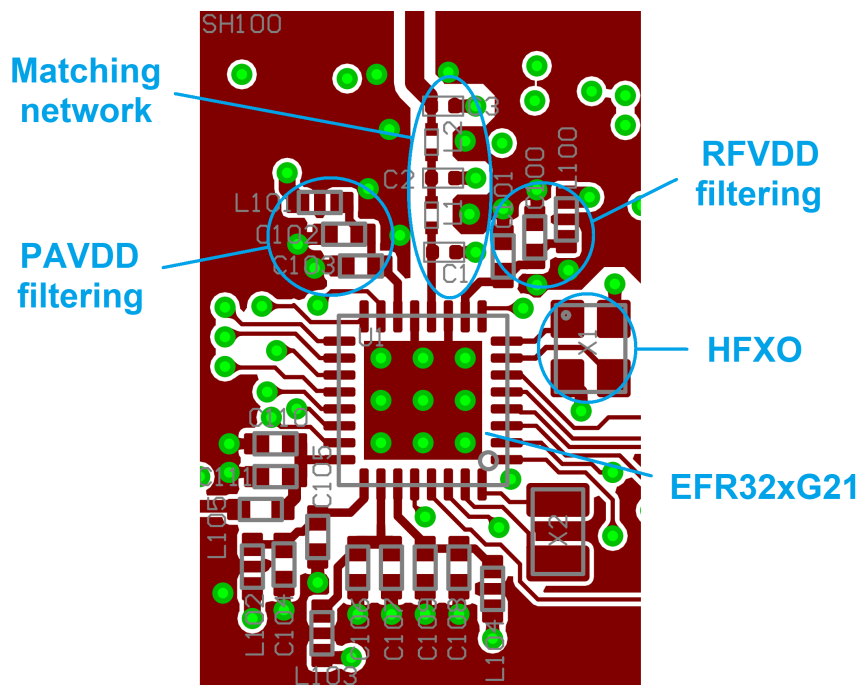


Figure 3.1. BRD4180A 无线电路板的 RF 部分布局（顶层）

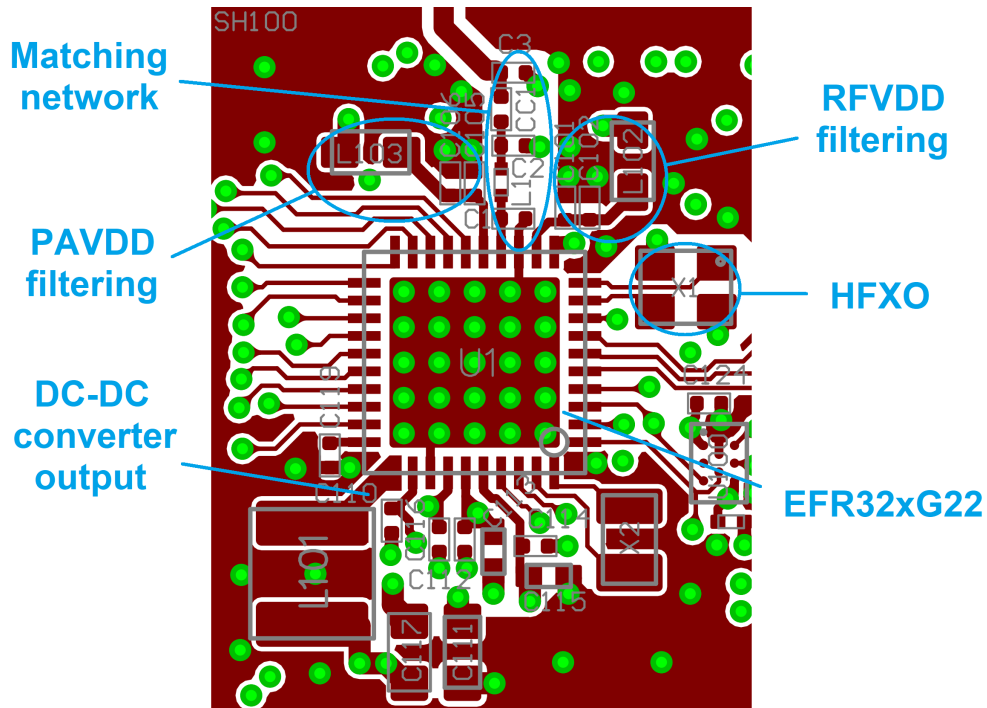


Figure 3.2. 使用既有布局概念 #1 的 BRD4182A (修订版 B05) 射频板的 RF 部分布局 (顶层)

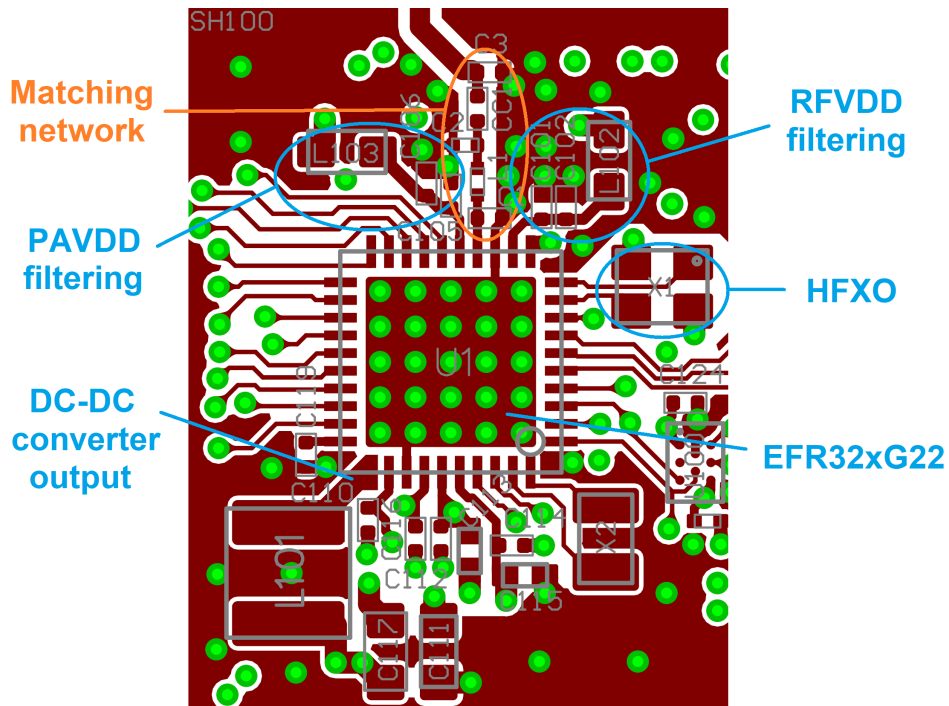


Figure 3.3. 使用通用布局概念 #2 的 BRD4182A (原型设计) 射频板的 RF 部分布局 (顶层)

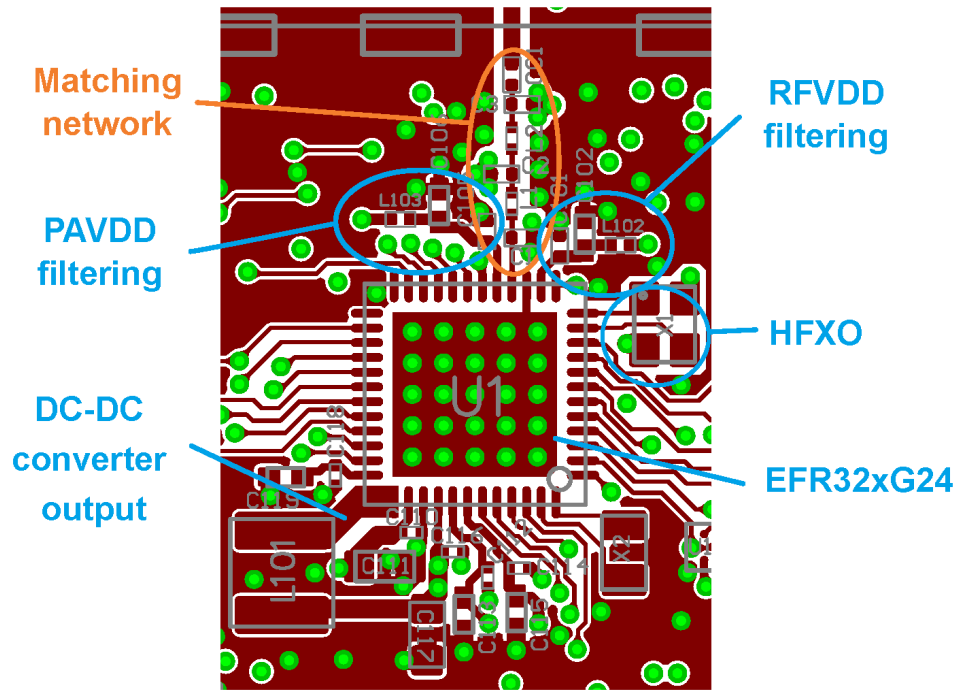


Figure 3.4. BRD4210A 射频板的 RF 部分布局 (顶层)

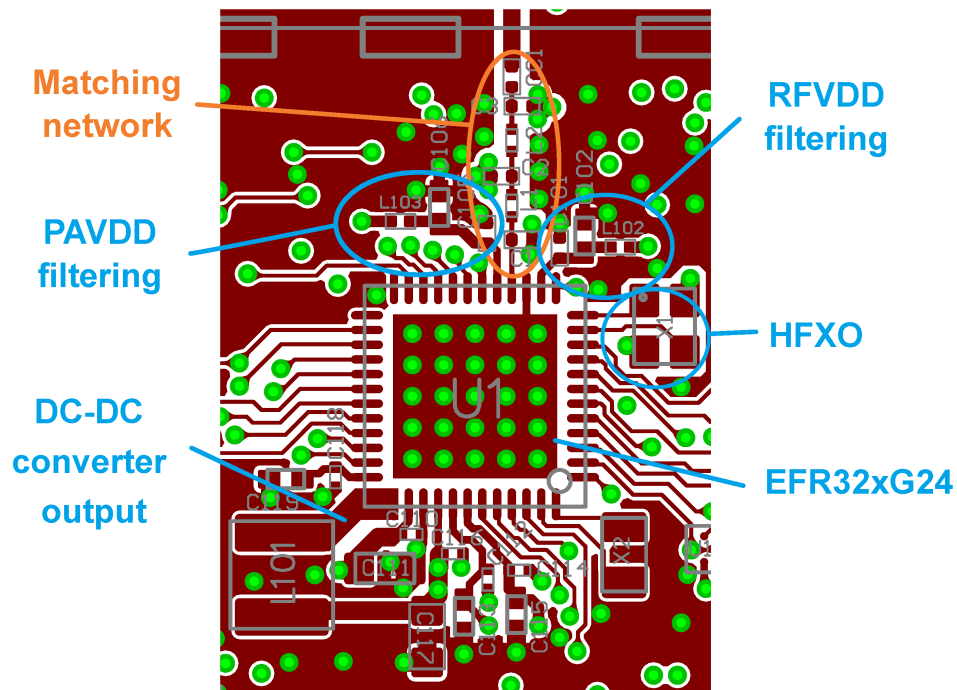


Figure 3.5. BRD4186C 无线电板的 RF 部分布局 (顶层)

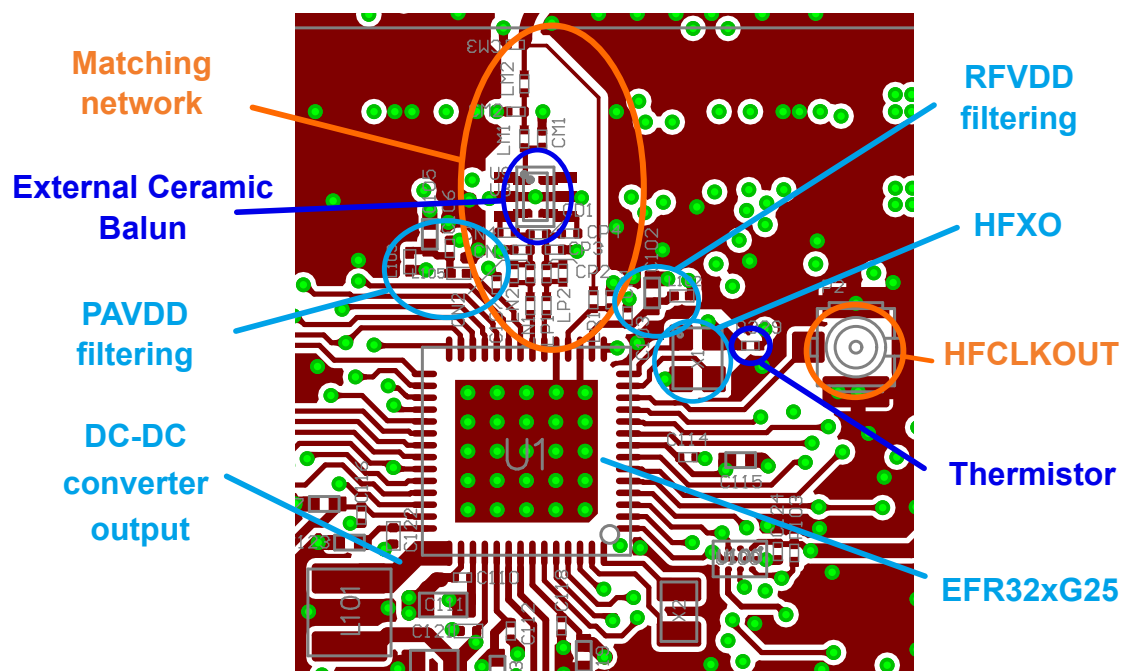


Figure 3.6. 带外部陶瓷平衡-不平衡转换器的 BRD4270B 射频板 RF 部分的布局 (顶层)

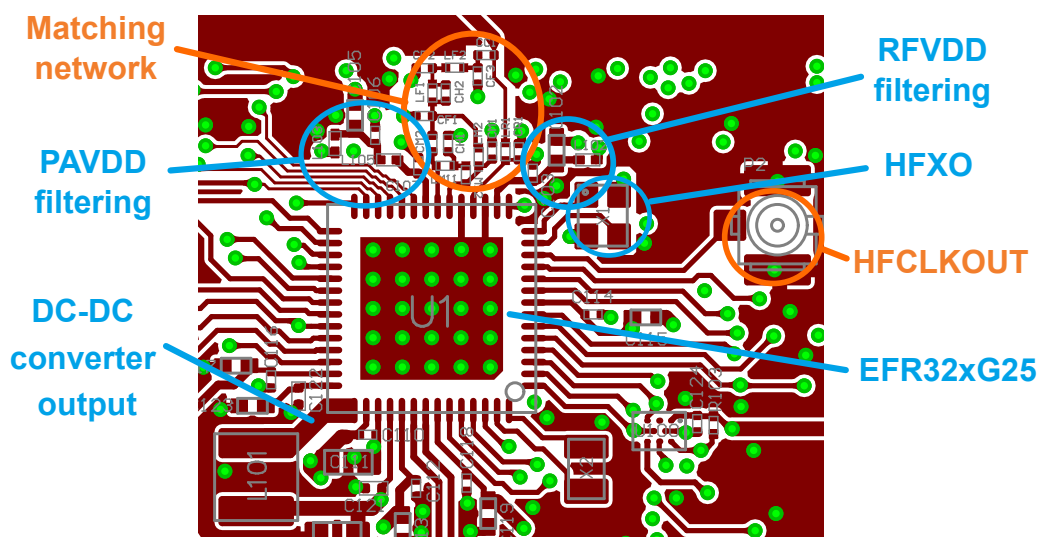


Figure 3.7. 868、915 和 920 MHz 频段全离散匹配原型射频板的 RF 部分布局 (顶层)

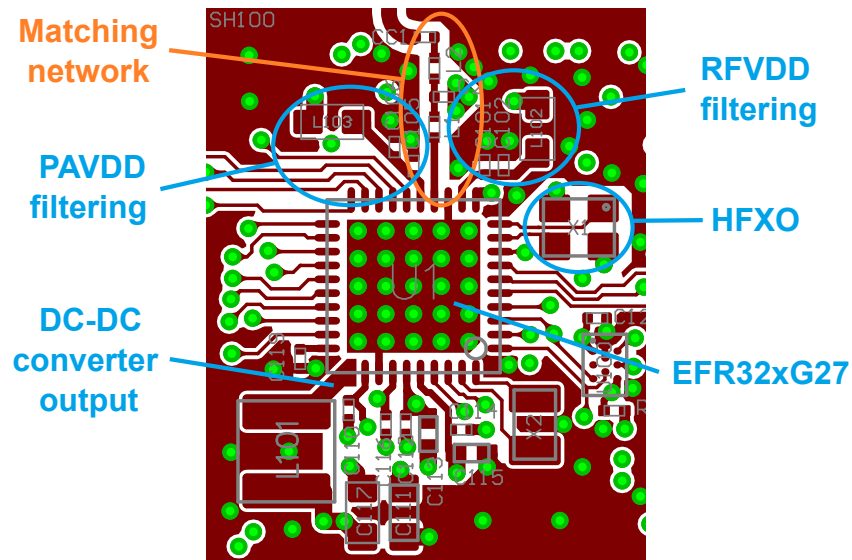


Figure 3.8. BRD4194A 射频板的 RF 部分布局 (顶层)

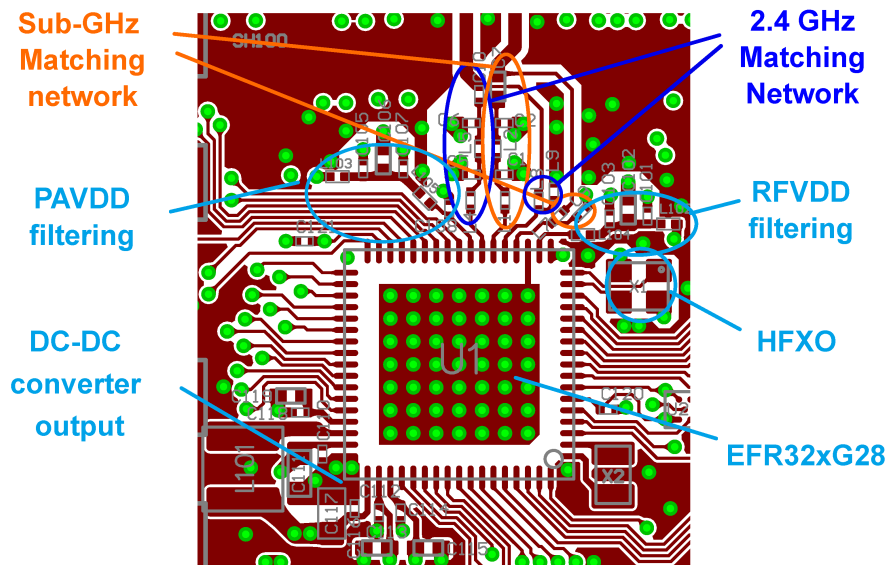


Figure 3.9. 868/915 MHz +14 dBm 和 2.4 GHz +10 dBm BRD4400C 双频段射频板的 RF 部分布局

3.2.1 EFR32 系列 2 无线 MCU 的布局设计指南

- 低值 VDD 旁通电容（带有 ~pF 值）应尽可能靠近 VDD 引脚（RFVDD、PAVDD、AVDD、DVDD、IOVDD）。
- 要确保优良的接地连接，所有 VDD 滤波电容应使用靠近接地引脚的孔。此外，建议不要以任何方式屏蔽 VDD 滤波电容的 GND 孔和 RFIC 开关的 GND 孔之间的 GND 回路；返回电流应有明确、不受妨碍的路径通过 GND 平面抵达 RFIC 背部。
- EFR32 开关的裸焊盘封装应使用尽可能多的孔，确保优良的接地效果和散热能力。
- RF 晶体应尽可能靠近 EFR32 IC 的 HFXTAL_I 和 HFXTAL_O 引脚，从而尽可能降低电线寄生电容和任何频率偏移。
- 应使用接地导通孔将 RF 晶体的接地引脚直接连接至第一个内层接地平面。应避免将接地引脚连接至顶层的公共接地金属。
- 串联匹配/滤波电感应依次放置，以减少各级之间的耦合。
- 应加电容 GND 引脚附近的走线，以改善散热带的接地效应。这能够尽可能降低接地灌流和 GND 引脚之间的串联寄生电感。

下图展示了上文列出的 BRD4180A 无线板的布局设计建议。

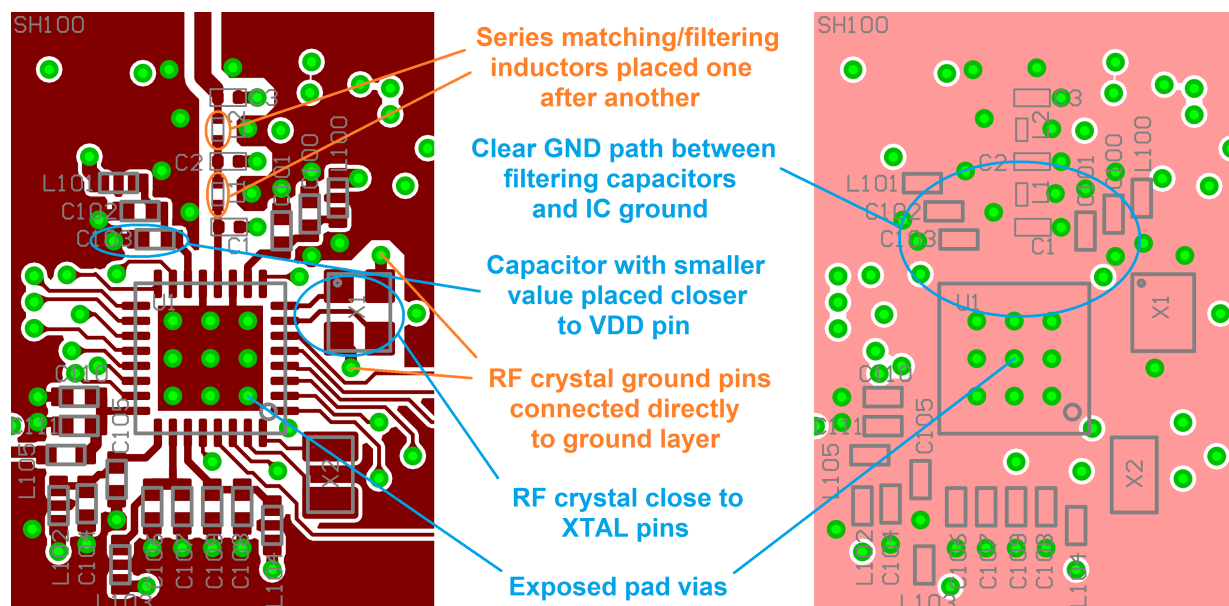


Figure 3.10. BRD4180A 上的 VDD 滤波、RF 晶体和裸焊盘接地布局指导原则（顶层、内层 1）

- 为在布局上实现优良的 RF 接地，建议在 RF 部分区域的顶层添加大规模连续 GND 敷金属（最低程度）。如果应用于整个 PCB，则可实现更好的性能。要提供优良的 RF 接地，RF 电压电位应在整个 GND 区域相等，因为这有助于维持优良的 VDD 滤波。应使用 GND 金属填充间隙，顶层和底层的最终部分应与尽可能多的孔相连。不在整个 GND 部分使用孔的原因是实际无线板设计的限制。这些限制包括底端的其他层或元件上的走线，这些走线未在上图中显示。
- RF 芯片和匹配网络下方的区域（内部第一层上）应填充连续接地金属，因为其能够显示匹配网络的优良接地参考，并可确保到 RF 芯片接地的优良低阻抗回路。电路板布线不应放置在该区域，防止与匹配网络产生的偶联作用。此外，建议不要以任何方式屏蔽 TX/RX 匹配网络的 GND 孔和 RFIC 开关的 GND 孔之间的 GND 回路；返回电流应有明确、不受阻碍的路径通过 GND 平面抵达 RFIC 的背部。
- 请在晶体和 RFVDD 走线之间使用隔离接地金属，避免附近电源对晶体造成任何失谐作用，并避免晶体/时钟信号及其谐波泄露至电源线路。

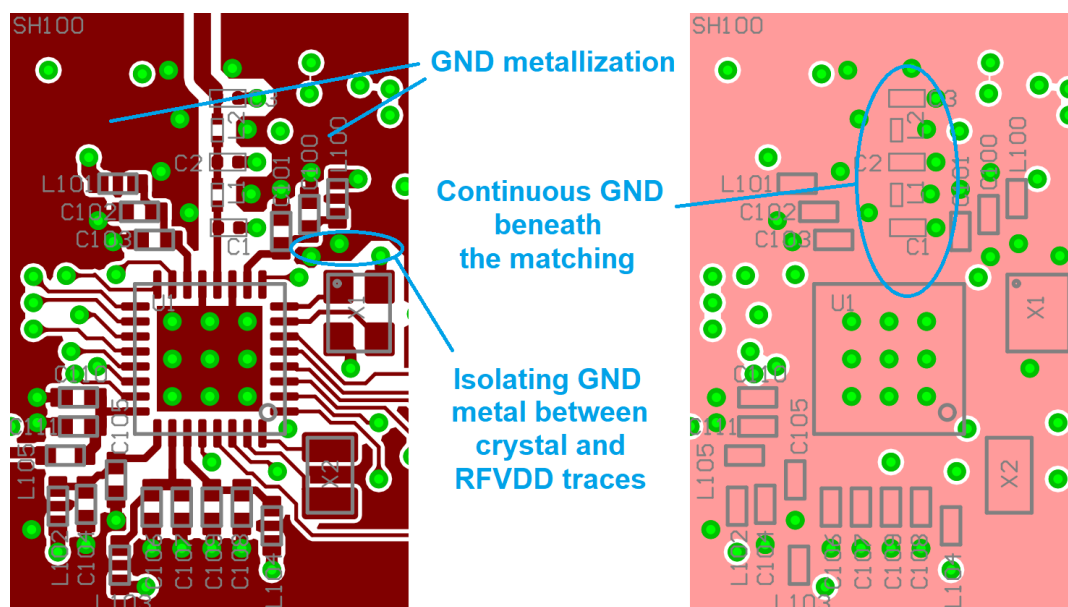


Figure 3.11. BRD4180A 上的接地连接布局指导原则（顶层、内层 1）

- 请在 GND 金属边缘使用尽可能多的并联接地孔，尤其是 PCB 的边缘以及 VDD 走线的沿线，以降低弥散场造成的谐波辐射。

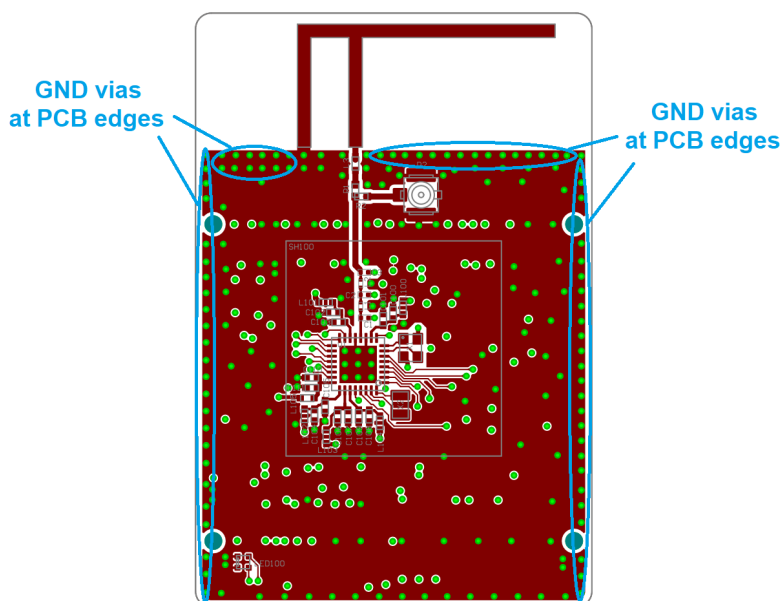


Figure 3.12. BRD4180A 射频板上 PCB 边缘的 GND 孔 (顶层)

- 如有必要，可使用屏蔽帽屏蔽 PCB 的谐波辐射；在此情况下，屏蔽帽应覆盖所有 RF 相关元件（不包括天线）。
- 两层以上的 PCB 的理想层一致性如下：

顶层:	使用尽可能多的连续固体 GND 敷金属以及多个孔。
第一内层:	在 RF 部分下方使用连续统一的 GND 敷金属；如有必要，电线可布置在非 RF 部分的下方。
所有其他内层:	在这些层上尽可能多地进行布线（电源和数字）。
底层:	该层应为统一的 GND 金属；仅在必要情况下在此层上进行布线。

下图展示了 BRD4180A 无线电板布局的层一致性。

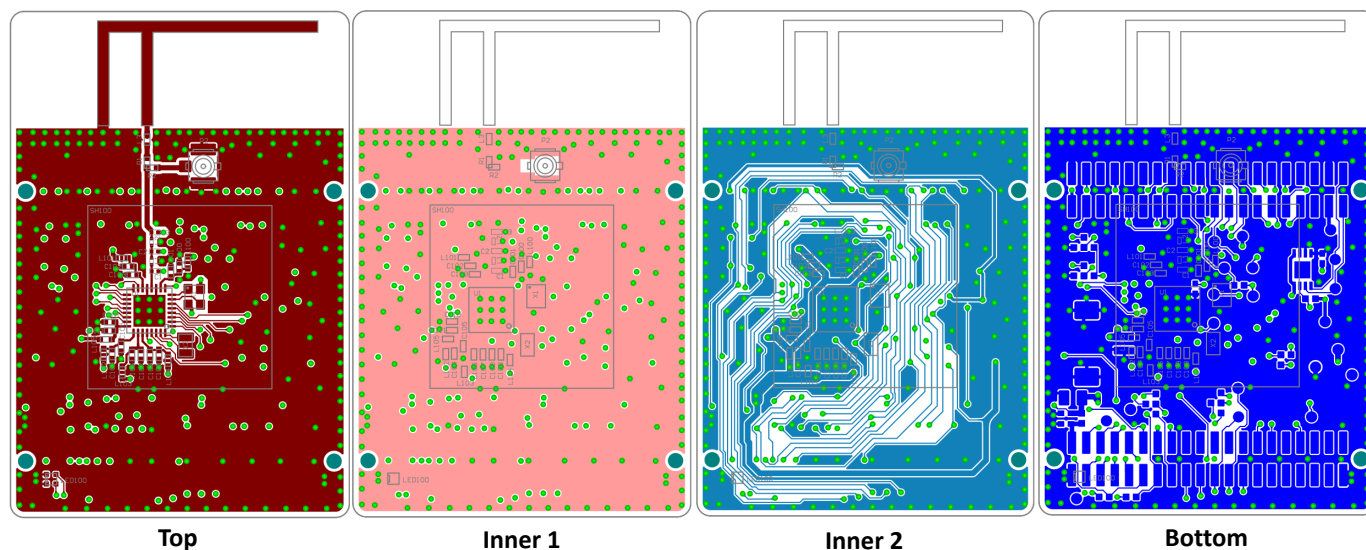


Figure 3.13. BRD4180A 无线电板的层一致性

- 在两层以上的电路板的内层进行布线（尤其是电源线和数字线）。
- 避免电源线靠近 PCB 边缘。
- 为降低对 PCB 厚度变化的敏感度，请尽可能使用 50 Ω 接地共面线，将天线或 U.FL 连接器连接到匹配网络。这还能够降低辐射和偶联作用。一般规则是使用 50 Ω 传输线，基本频率下的 RF 布线长度大于 $\lambda/16$ 。
- 元件之间的互连不属于传输线，因为其长度显著短于波长，因此其阻抗不具有决定性。因此，建议长度等于应用元件盘的宽度。在这种情况下，可防止盘走线转换的反射，并能够尽可能降低接地寄生电容。走线尺寸示例显示在下表中。
- 请在共面线附近使用多个孔，以尽可能降低辐射。

下图展示了 BRD4180A 无线电路板布局上的 50 Ω 接地共面线。

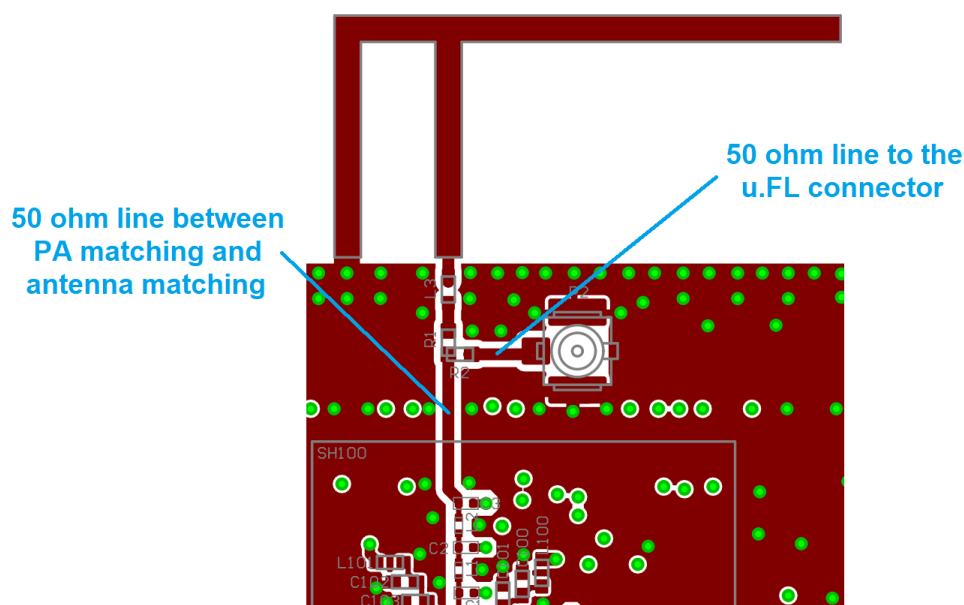


Figure 3.14. BRD4180A 射频板上的 50 Ω 接地共面线（顶层）

Table 3.1. 50 Ω 接地共面线参数

线路	参数
f	2.4 GHz
T	0.018-0.035 mm
ϵ_r	4.6
H	0.3 mm
G	0.25 mm
W	0.45 mm

- Note:**
- 对于超过 2 层的 PCB 而言，“H”是顶层与第一个内层之间的距离。对于 2 层 PCB 而言，“H”是顶层与底层之间的距离。
 - 上表中的示例基于 4 层 BRD4180A 射频板的参数。其他射频板可能有不同的 PCB 层堆叠。有关特定射频板 PCB 堆叠的详细信息，请参阅 PCB 规格文件。
 - 由于“H”值不同，因此 2 层 PCB 需要 50 Ω 传输线具有与此表所示不同的参数。
 - 特性阻抗对间隙值不具有超敏感度。应介于 0.25 至 0.4 mm 之间，才能实现 47 到 53 Ω 的阻抗。
 - 不同的阻抗计算器会产生略微不同的结果。

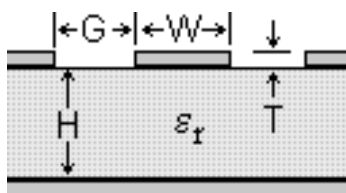


Figure 3.15. 接地共面线参数

3.2.2 EFR32xG21 匹配网络的其他布局设计指南

- 强烈建议在 C1 电容与 EFR32xG21 IC 的对应 TX/RX 引脚（RF2G4_IO1 或 RF2G4_IO2）之间保持大约 1 mm 的距离（在 BRD4180A 无线电板上，C1 电容与 TX/RX 引脚之间的实际距离为 0.95 mm）。此短线的额外寄生电感是匹配网络的一部分，如果未保持精确，可能会提高谐波水平。
- 相邻匹配网络元件应尽可能彼此靠近，以尽可能降低任何接地的 PCB 寄生电容以及元件之间的串联寄生电感。
- 在大多数情况下，将匹配网络中的连续谐波滤波电容旋转到传输线的相对侧，可以取得较好的谐波性能。然而，EFR32xG21 芯片的验证结果表明，对匹配网络元件应用这种定位会提高谐波水平。因此，对于 EFR32xG21 设备，建议将匹配网络中邻近的并联电容连接至**传输线的相同侧**。
- 应使用接地导通孔将匹配网络中的并联电容直接连接至 PCB 第 2 层接地平面。为获得最佳谐波性能，应避免将接地引脚连接至顶层的公共接地金属上。
- EFR32xG21 芯片有 2 个等效的单端 TX 输出/RX 输入。若只将其中一个输出/输入与 10 dBm 或 20 dBm PA 匹配网络搭配使用，应将另一个直接连接至裸焊盘接地。请勿将未使用的 TX/RX 引脚连接至 PCB 的公共顶层接地，因为这可能会提高谐波水平。
- 若要获得更好的谐波性能，另建议将引脚 11 (RFVSS) 直接连接至裸焊盘接地，而不是连接至公共顶层接地。
- 在匹配网络区域，请至少在布线/盘与相邻 GND 灌流之间相隔 0.3 mm。该方法能够尽可能降低寄生电容并减轻失谐作用。

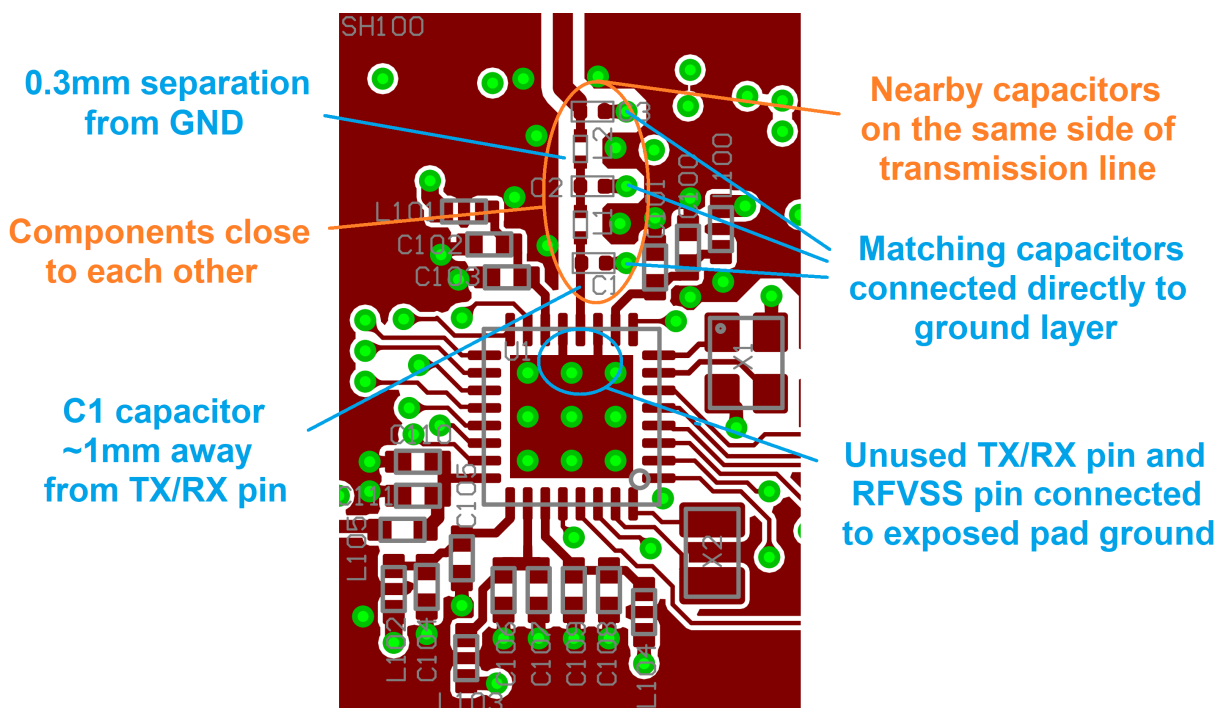


Figure 3.16. BRD4180A 匹配网络布局指南（顶层）

0 dBm 和 0/10 dBm 输出功率水平的建议匹配网络显示在 Figure 2.4 适用于 0 dBm 输出功率的 EFR32xG21 的建议匹配网络 on page 5 和 Figure 2.5 适用于 0/10 dBm 输出功率的 EFR32xG21 的建议匹配网络 on page 5。

对于 0 dBm 匹配网络，谐波低于 FCC 限制，因此未使用的 RF 端口 (C208) 处的 0.5 pF 电容连接不会影响合规性。默认和建议连接是将此电容的接地引脚直接连接至内层接地，而不将其连接到公共顶层接地或底层接地，如 Figure 3.17 放置在顶层、未使用的 RF 引脚处的电容 on page 26 所示。

将 0 dBm PA 与 0/10 dBm 匹配网络搭配使用时，与 0 dBm 匹配网络情况相似，未使用的 RF 端口 (C208) 处的 0.5 pF 电容连接不会影响合规性。但是，对于搭配 0/10 dBm 匹配网络的 10 dBm PA，0.5 pF 电容的布置可能会影响谐波合规性。因此，此电容可能有两种建议配置：

- 默认配置：放置在顶层，直接连接至内层接地，不连接至公共顶层接地或底层接地。请参见 Figure 3.17 放置在顶层、未使用的 RF 引脚处的电容 on page 26。
- 备用配置：放置在底层，与内层接地之间无接地连接，直接连接至底层接地。请参见 Figure 3.18 放置在底层、未使用的 RF 引脚处的电容 on page 26。

Note: 两种电容配置均符合 EFR32xG21 的 FCC 限制，但是，与放置在顶面相比，将 0.5 pF 电容放置在底面时，可以在辐射 5 次谐波上实现 2 dB 改进。为了简化 PCB 布局上的匹配网络结构，此电容的默认和建议放置位置是顶层。或者，也可以放置在底面，以便进一步改进辐射 5 次谐波抑制。

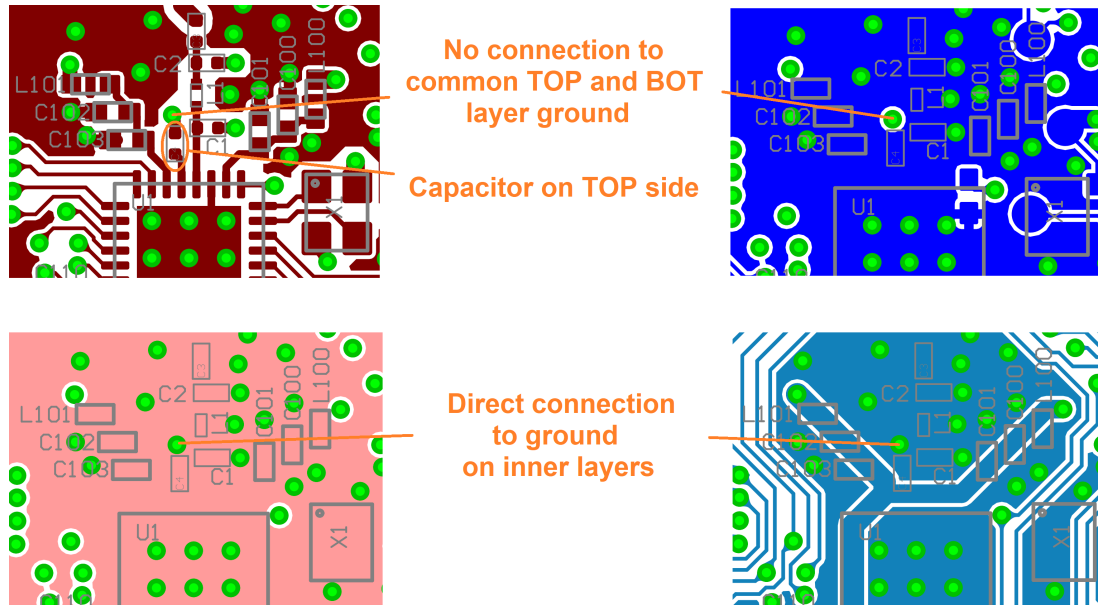


Figure 3.17. 放置在顶层、未使用的 RF 引脚处的电容

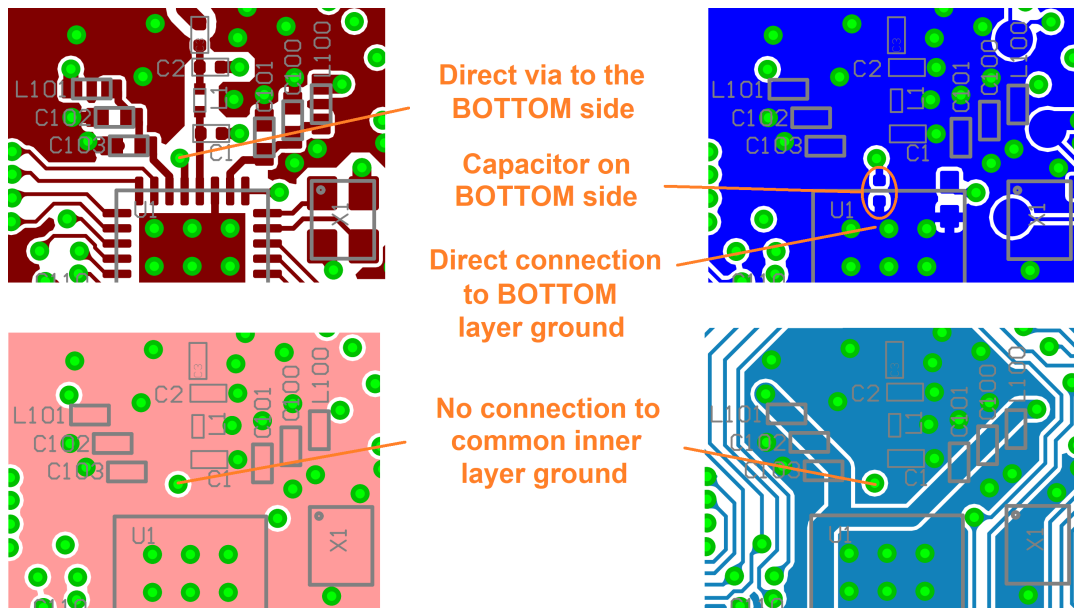


Figure 3.18. 放置在底层、未使用的 RF 引脚处的电容

3.2.3 EFR32xG22 匹配网络的其他布局设计指南

如 2.2 EFR32xG22 无线 MCU 的匹配网络类型中所述，在设计 EFR32xG22 的匹配网络时，可以使用两种不同的方法，如下所示：

- 既有概念
- 通用概念

Silicon Labs 建议遵循第二种通用布局概念，因为它具有稳定性、更好的辐射谐波余裕和更高的功率输出能力。以下各节将展示上述 2 种布局概念的具体布局设计指导原则。

3.2.3.1 使用既有布局概念 #1 的 Pi 匹配网络布局设计指导原则

- 强烈建议使 C1 电容尽可能靠近 EFR32xG22 IC 的 RF2G4_IO 引脚。此外，该电容的接地引脚应通过引脚 13 (RFVSS) 直接连接至裸焊盘接地，同时应避免将该引脚连接到内层接地或公共顶层接地。
- 相邻匹配网络元件应尽可能彼此靠近，以尽可能降低任何接地的 PCB 寄生电容以及元件之间的串联寄生电感。
- 对于 EFR32xG22 设备，请将匹配网络中邻近的并联电容连接至**传输线的相同侧**。
- 应使用接地导通孔将匹配网络中的并联电容（C1 除外）直接连接至 PCB 第 2 层接地平面。为获得最佳谐波性能，应避免将接地引脚连接至顶层的公共接地金属上。
- 在 RF 匹配电路周围的组件层 GND 灌流上应该有共计约 70 密耳的铜禁区。

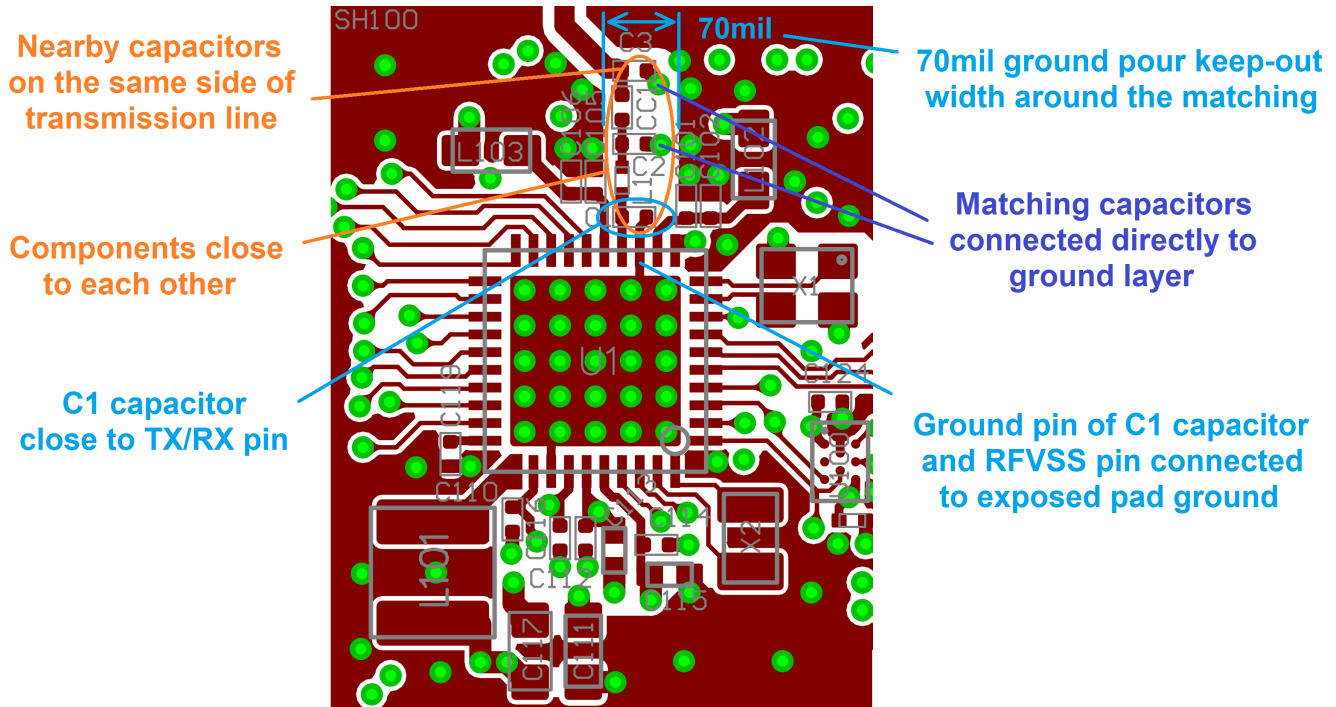


Figure 3.19. 使用既有布局概念 #1 的 BRD4182A（修订版 B05）上 Pi 匹配网络布局指导原则（顶层）

3.2.3.2 使用通用布局概念 #2 的 Pi 匹配网络布局设计指导原则

- 请将 C1 电容放置在尽可能靠近 EFR32xG22 IC 的 RF2G4_IO 引脚的位置。此外，该电容的接地引脚应通过引脚 13 (RFVSS) 连接到裸焊盘接地，并连接到共同的顶层接地灌流。
- 相邻匹配网络元件应尽可能彼此靠近，以尽可能降低任何接地的 PCB 寄生电容以及元件之间的串联寄生电感。
- 对于 EFR32xG22 设备，请将匹配网络中邻近的并联电容连接至**传输线的相反侧**。
- 应使用多个针脚孔将并联匹配多个电容连接到组件层 GND 灌流。
- 在 RF 匹配电路周围的组件层 GND 灌流上应该有共计约 37 密耳的铜禁区。

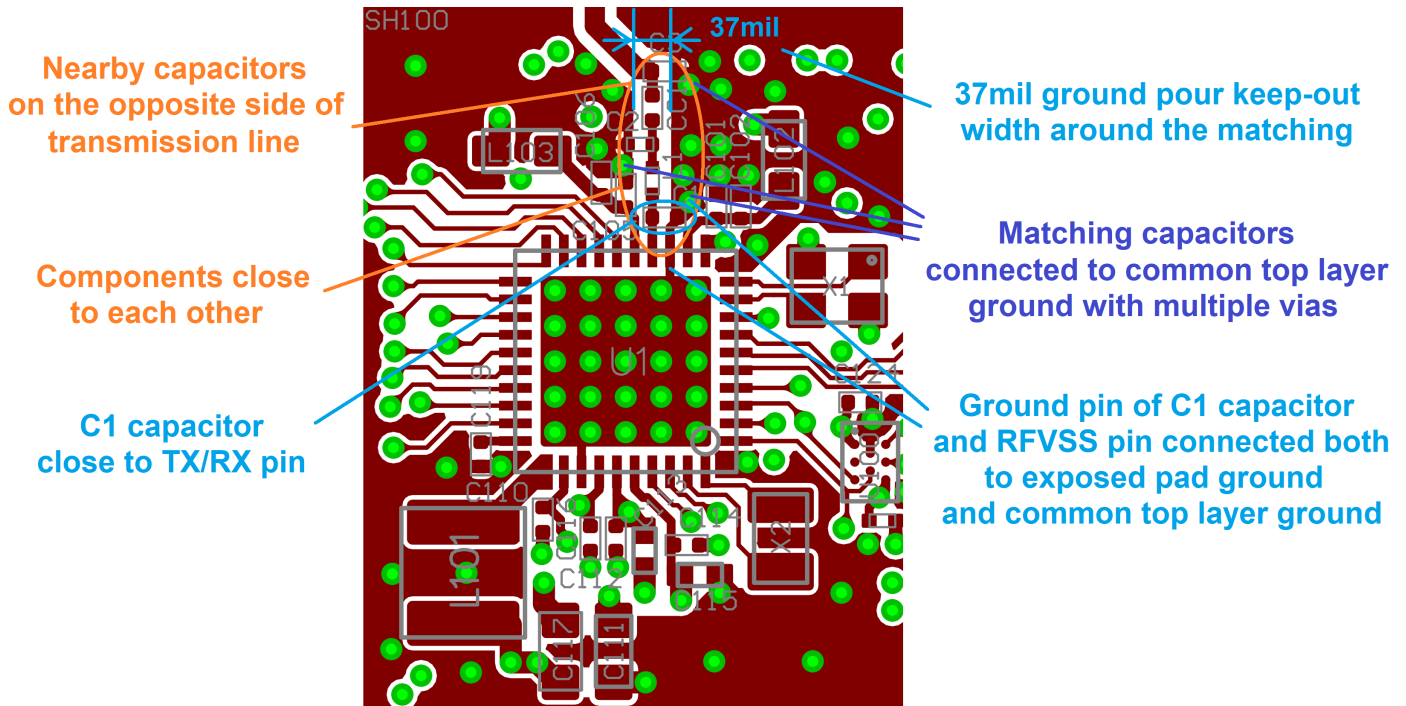
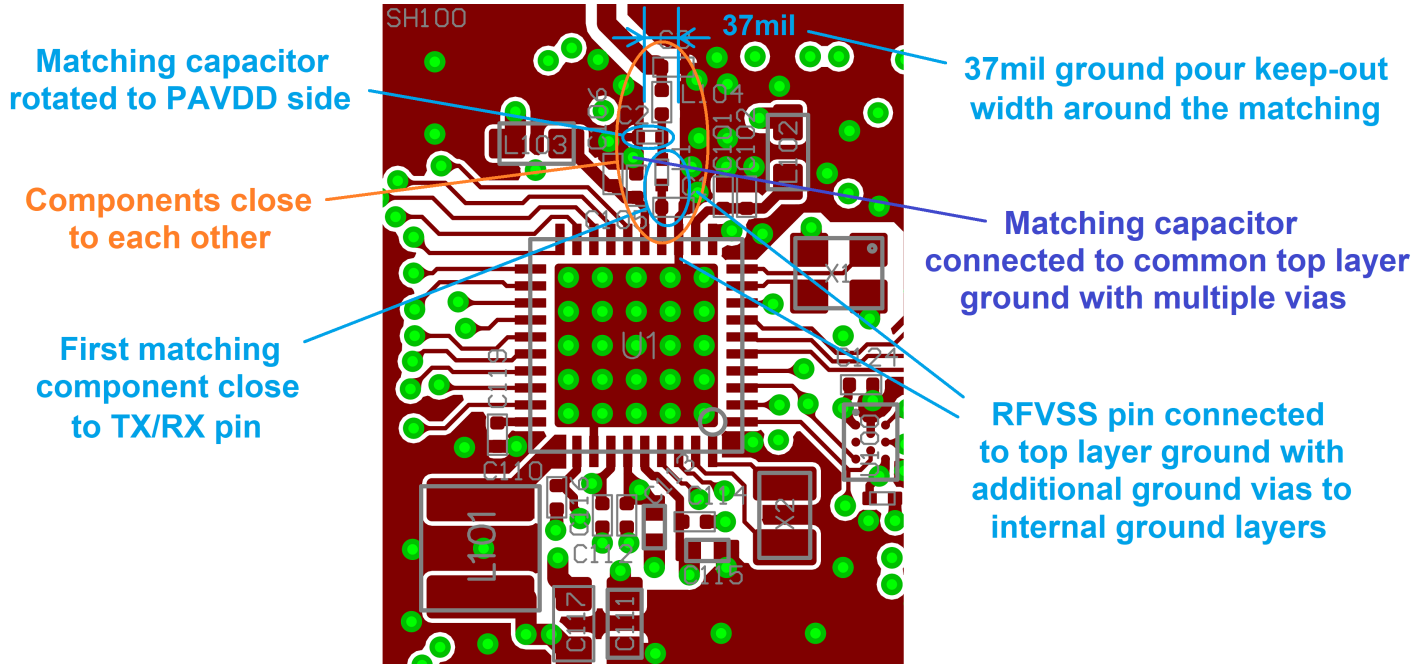


Figure 3.20. 使用通用布局概念 #2 的 BRD4182A (原型设计) 上 Pi 匹配网络布局指导原则 (顶层)

3.2.3.3 使用通用布局概念 #2 的 T 匹配布局设计指导原则

- 请将 L1 电感放置在尽可能靠近 EFR32xG22 IC 的 RF2G4_IO 引脚的位置。注意，Silicon Labs 测试结果基于可以安装 Pi 匹配和 T 匹配的 PCB 设计。若需要此类灵活的 PCB 设计，请将 C1 电容放置在最靠近 RF2G4_IO 引脚的位置。
- 应将 RFVSS 引脚（与 RF2G4_IO 引脚相邻）连接到顶层接地（具有通向内部接地层的附加接地导通孔）。
- 相邻匹配网络元件应尽可能彼此靠近，以尽可能降低任何接地的 PCB 寄生电容以及元件之间的串联寄生电感。
- 将 T 匹配网络的并联电容旋转到传输线的 PAVDD 侧。
- 应使用多个引脚孔将并联匹配电容连接到组件层 GND 灌流。
- 在 RF 匹配电路周围的组件层 GND 灌流上应该有共计约 37 密耳的铜禁区。



3.2.4 EFR32xG23 匹配网络的其他布局设计指导原则

- 建议在 TX 匹配网络的第一个元件和 EFR32xG23 IC 的 SUBG_O0 或 SUBG_O1 引脚之间保持大约 1 mm 的距离（在 BRD4210A 射频板上，C1 电容与 TX/RX 引脚之间的实际距离为 0.93 mm）。此短线的额外寄生电感属于匹配网络，如果未精确保持，可能会提高谐波水平。此效应在高频段 1 GHz 以下的频率（868/915 MHz）中更显著，在 500 MHz 以下的频率中可忽略不计。
- 相邻匹配网络元件应尽可能彼此靠近，以尽可能降低任何接地的 PCB 寄生电容以及元件之间的串联寄生电感。
- 对于 EFR32xG23 设备，请将匹配网络中邻近的并联电容连接至传输线的相同侧。
- 应使用接地导通孔将匹配网络中的并联电容直接连接至 PCB 第 2 层接地平面。若要获得最佳谐波性能，应避免将接地引脚连接至顶层的公共接地金属上。
- 若要获得更好的谐波性能，另建议将引脚 15 (RFVSS) 直接连接至裸焊盘接地，而不是连接至公共顶层接地。
- 在匹配网络区域，请至少在线/盘与相邻 GND 灌流之间相隔 0.5 mm。该方法能够尽可能降低寄生电容并减轻失谐作用。

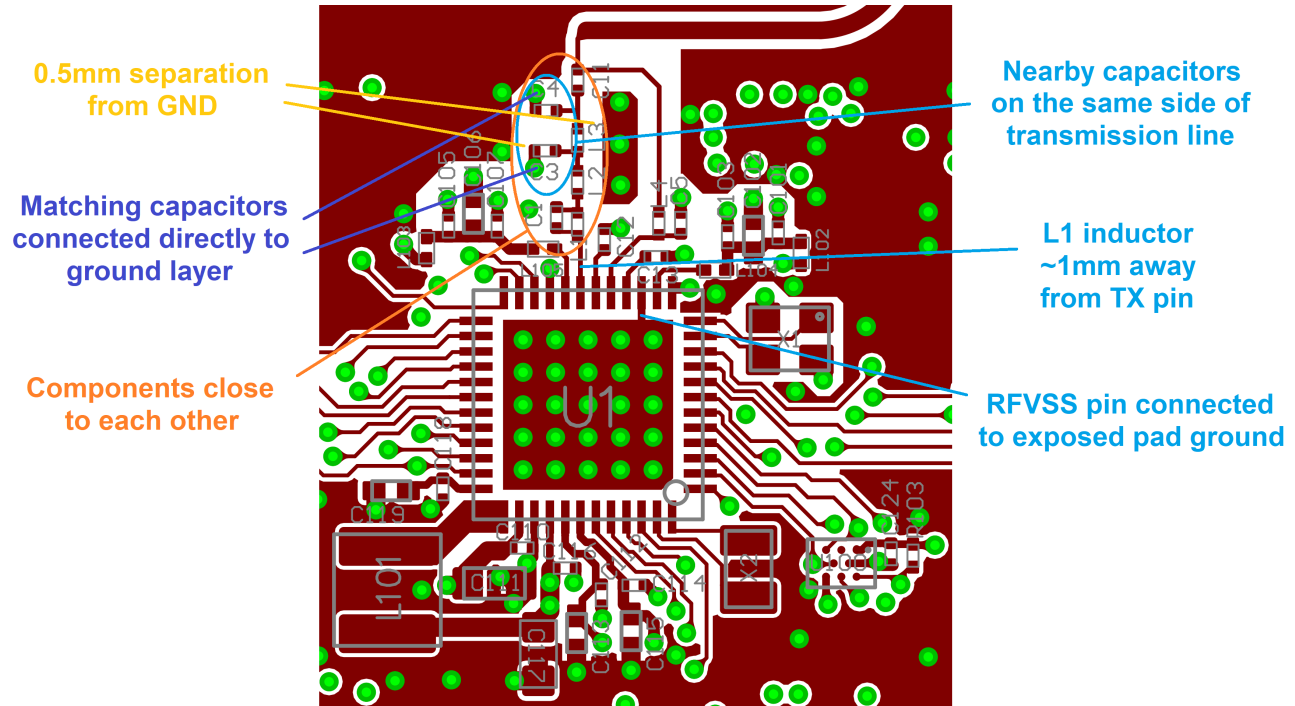


Figure 3.22. BRD4210A 匹配网络布局指导原则（顶层，第 1 部分）

- 在 TX 和 RX 匹配之间添加接地铜缆隔离，以减少 TX 和 RX 级之间的耦合。
- 按原样复制 RX 匹配结构：可将附加线（它们将 RX 匹配电感连接到 SUBG_I0 引脚与匹配网络的公共直接连接点）视为寄生电感，这些线在匹配网络中将发挥自己的作用。使用非直接连接类型的匹配网络（例如具有 RF 开关或 FEM 的匹配网络）时，也应该应用这些附加线。若使用不同的线长度，RX 匹配网络可能会相对其最佳形式而失谐，可能需要进行额外的调节。这些线的效果在高频段 1 GHz 以下的频率（868/915 MHz）中很显著，在 500 MHz 以下的频率中不太显著。
- 应使用接地导通孔将 PAVDD 和 RFVDD 滤波电容直接连接至 PCB 第 2 层接地平面。应避免将这些电容的接地引脚连接至顶层的公共接地金属。

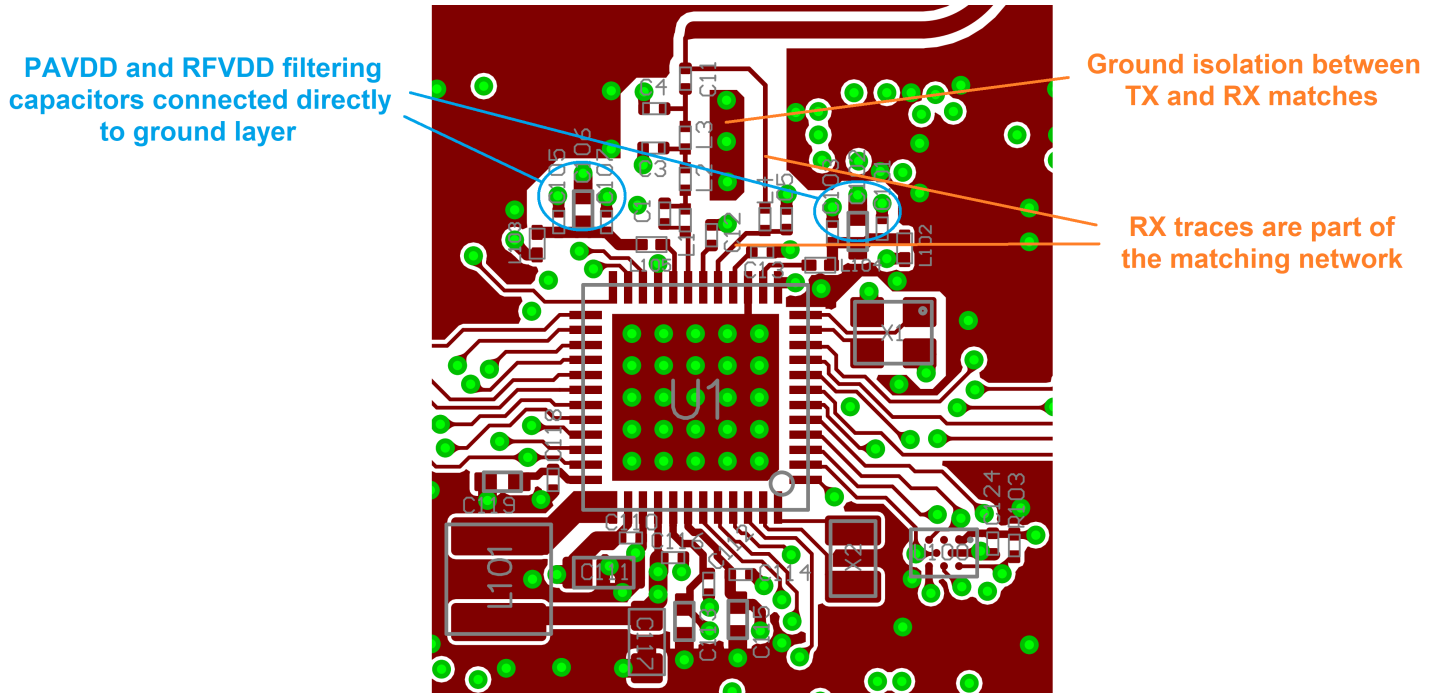


Figure 3.23. BRD4210A 匹配网络布局指导原则 (顶层, 第 2 部分)

3.2.4.1 使用 HFCLKOUT 引脚的 QFN40 RFIC 的具体布局设计指导原则

特定 EFR32xG23 部件配有 HFCLKOUT 引脚。该引脚的作用是在级联连接时向其他 EFR32 设备提供由晶体振荡器 (HF XO) 生成的高频时钟信号。这样，在 PCB 上使用单个晶体就足够了。关于该引脚的布局设计指导原则如下：

- HFCLKOUT 走线应尽可能短，以避免 EFR32 设备之间的任何信号延迟。
- 走线的宽度应等于其连接点所连接的引脚的宽度。
- 使用 GND 灌流环绕 HFCLKOUT 走线，以避免其他走线之间出现串扰。

或者，如果顶层和内层之间有 GND 平面，也可以在内层布置 HFCLKOUT 走线。

Note: 使用 HFCLKOUT 版本的 40 引脚 EFR32xG23 需要额外的 GPIO 引脚分配，以启用/禁用级联 EFR32 设备之间的 HFCLKOUT 信号。

3.2.4.2 2 RF 前端使用的具体布局设计指导原则

如下图所示，EFR32xG23 RF 前端由两对 RX-TX 路径组成。这种分集设计允许使用这两对路径以及它们独有的专用天线和匹配网络，从而将 RFIC 用于双频段应用。请注意，可以将单天线用于双频段应用，但这需要双频段匹配网络，而构建这种网络难度更大。

关于使用全部四个 RF 引脚时的其他布局指导原则如下：

- SUBG_I0 RX 引脚的走线应与直流阻塞电容下方的 SUBG_O1 TX 走线交叉。建议选择尺寸比匹配网络的其他组件（0201 尺寸的 SMD）更大的电容，以便走线在其下方正确通过。
- 选择的 RX 走线长度应与设计中的值相近。同样长度的导线的电感不可忽略，其是匹配网络设计的一部分。
- 如果内层和顶层之间有接地平面，则可以将 RX 走线布置在内层。但是，没有经过验证的此类设计可用，因此建议将 RX 走线布置在顶层。

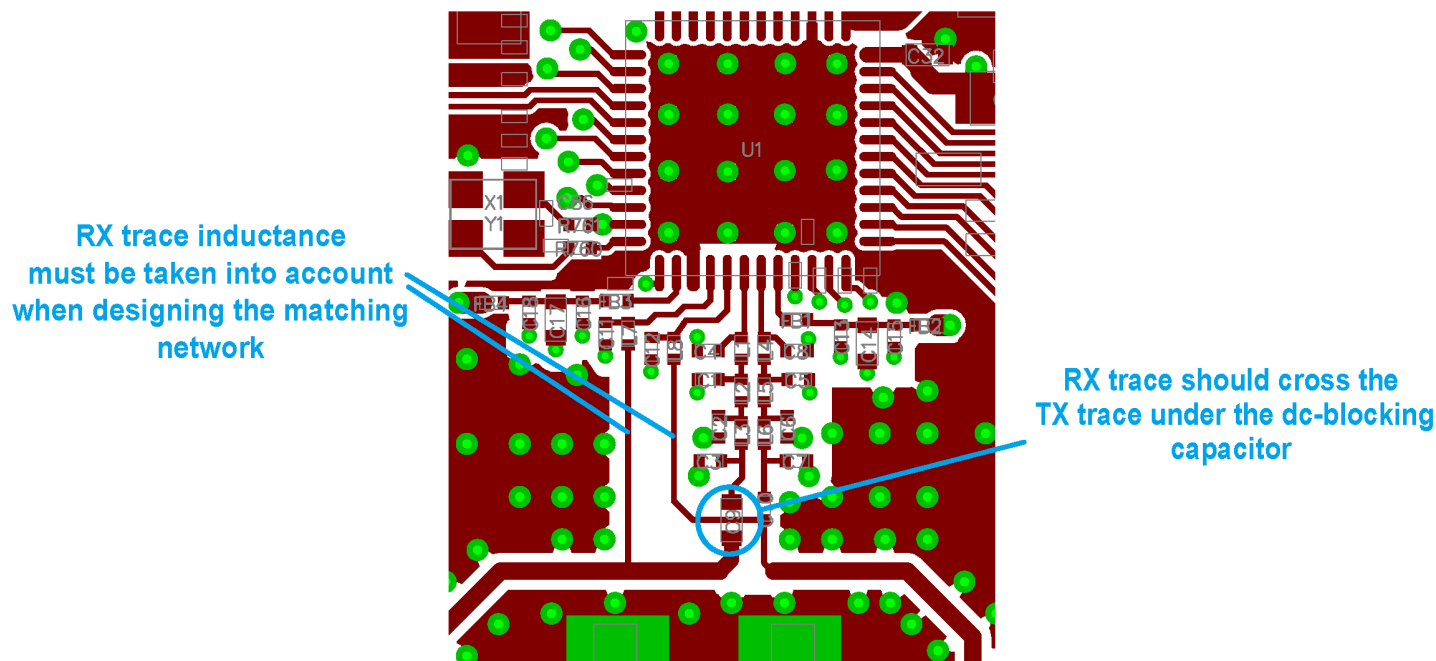


Figure 3.24. 2 RF 前端使用的匹配网络布局指导原则 (顶层)

3.2.5 EFR32xG24 匹配网络的其他布局设计指导原则

如 2.4 EFR32xG24 无线 MCU 的匹配网络类型中所述, QFN 和 WLCSP 封装需要不同的匹配网络拓扑结构。另外, 对于 QFN 封装, 在设计 EFR32xG24 的匹配网络时, 有两种不同的方法可用, 如下所示:

- 低功耗应用布局 (≤ 10 dBm) 的布局
- 高功率应用 (>10 dBm) 的布局

本节将讲述这些应用的具体布局设计指导原则。此外，另一节中将针对天线分集应用提供一些布局惯例。

3.2.5.1 低功耗应用 (≤ 10 dBm) 的 QFN 封装布局设计指导原则

- 强烈建议使 C1 电容和 EFR32xG24 IC 的 RF2G4_IO TX/RX 引脚保持较近的距离。
- 相邻匹配网络元件应尽可能彼此靠近，以尽可能降低任何接地的 PCB 寄生电容以及元件之间的串联寄生电感。
- 对于 EFR32xG24 设备，请将匹配网络中邻近的并联电容连接至传输线的相反侧。
- 应使用多个接地导通孔将匹配网络中的所有并联电容直接连接至 PCB 第 2 层接地平面。为获得最佳谐波性能，还应避免将接地引脚连接至顶层的公共接地金属上。
- **请勿** 将第一个匹配电容的接地引脚连接至芯片的 RFVSS 接地引脚。
- 为获得更好的谐波性能，还建议将 RFVSS 直接连接至裸焊盘接地，而不是连接至公共顶层接地。
- PAVDD 走线应尽量 **靠近** RF 走线。因此，PAVDD 滤波网络也应靠近 RF 走线和 PAVDD 引脚，且应包含两个并联电容 ($120\text{pF} + 1\mu\text{F}$) 和一个串联铁氧体。
- 在 RF 匹配电路周围的组件层 GND 灌流上应该有共计约 39 密耳的铜禁区。

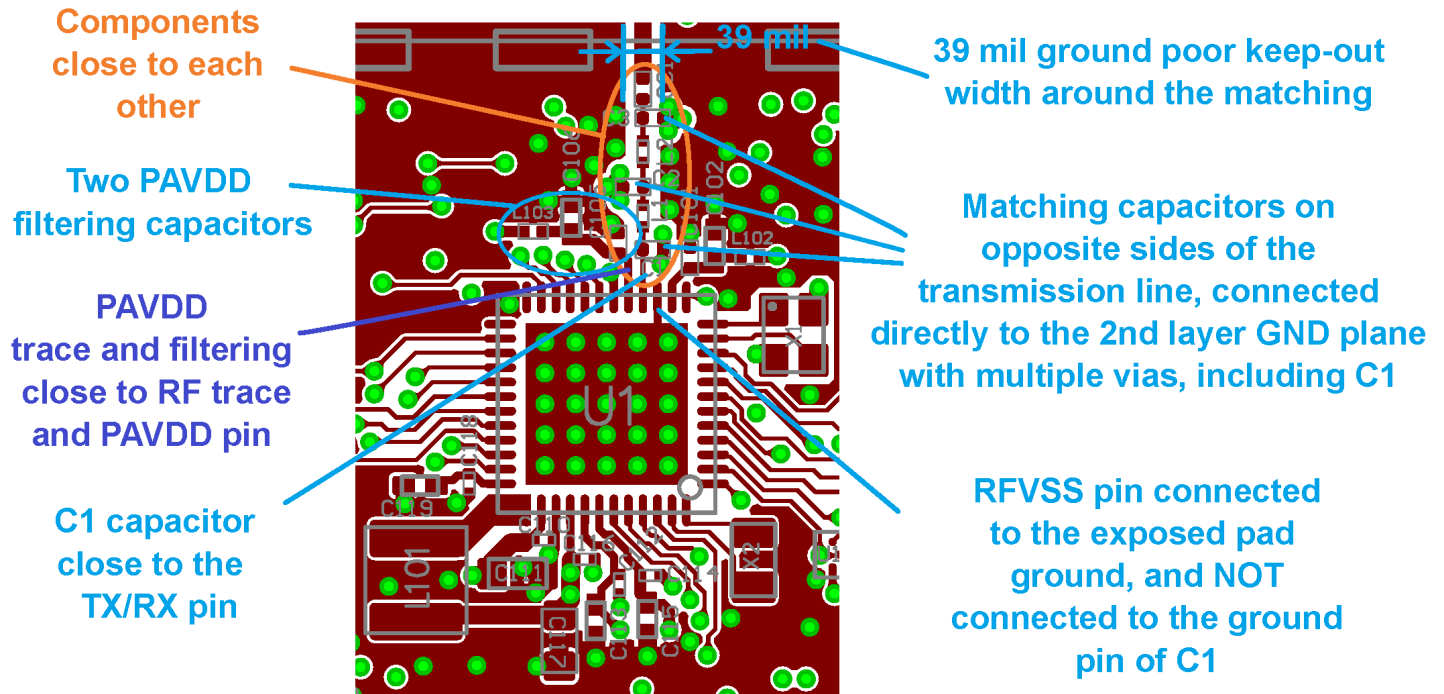


Figure 3.25. BRD4186C 射频板的匹配网络布局指导原则 (顶层)

3.2.5.2 高功率应用 (>10 dBm) 的 QFN 封装布局设计指导原则

- 强烈建议使 C1 电容和 EFR32xG24 IC 的 RF2G4_IO TX/RX 引脚保持较近的距离。
- 相邻匹配网络元件应尽可能彼此靠近，以尽可能降低任何接地的 PCB 寄生电容以及元件之间的串联寄生电感。
- 对于 EFR32xG24 设备，请将匹配网络中邻近的并联电容连接至传输线的相反侧。
- 应使用多个接地导通孔将匹配网络中的所有并联电容直接连接至 PCB 第 2 层接地平面。为获得最佳谐波性能，还应避免将接地引脚连接至顶层的公共接地金属上。
- 将第一个匹配电容的接地引脚连接至 芯片的 RFVSS 接地引脚。
- 为获得更好的谐波性能，还建议 将 RFVSS 直接连接至裸焊盘接地，而不是连接至公共顶层接地。
- 为了实现理想的谐波抑制，PAVDD 走线应尽量 远离 RF 走线。因此，PAVDD 滤波网络也应远离 RF 走线和 PAVDD 引脚，且应包含三个并联电容 (0.5pF + 18pF + 1uF) 和一个串联铁氧体。
- 在 RF 匹配电路周围的组件层 GND 灌流上应该有共计约 39 密耳的铜禁区。

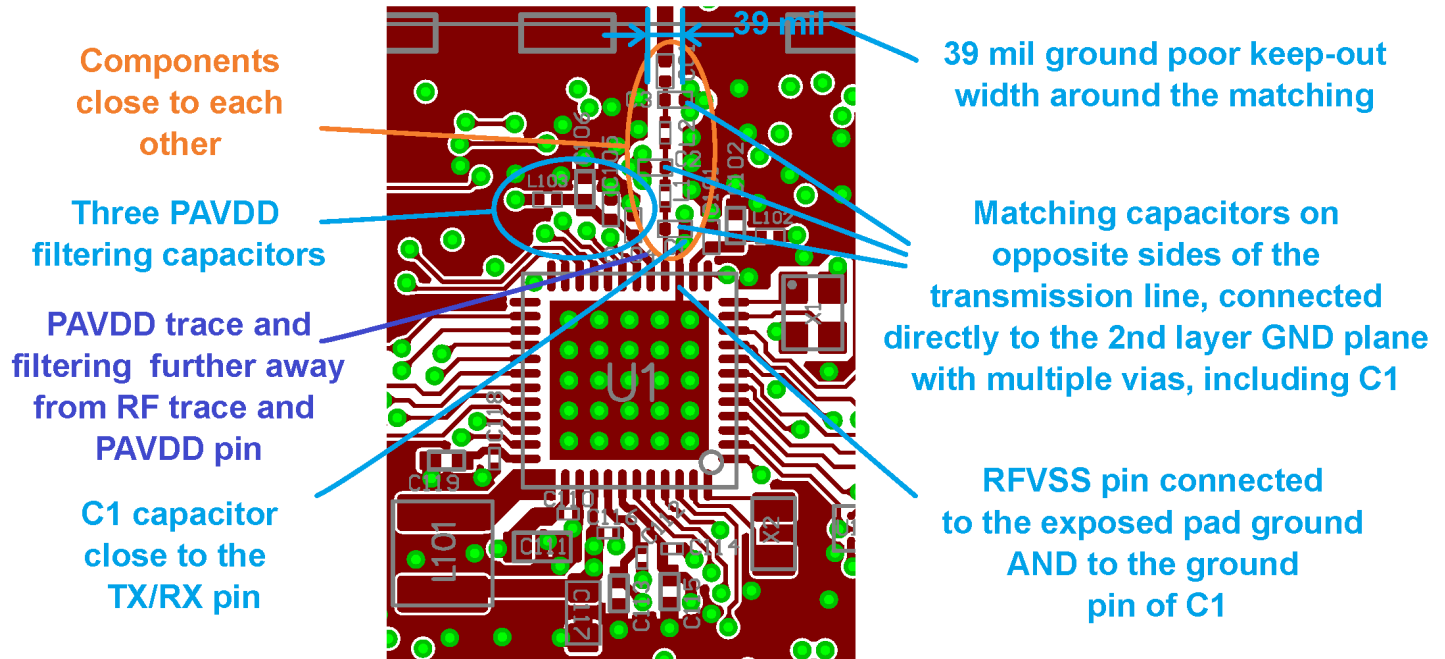


Figure 3.26. BRD4187C 射频板的匹配网络布局指导原则（顶层）

3.2.5.3 WLCSP 封装的其他布局设计指导原则

- 强烈建议使 L1 电感和 EFR32xG24 IC 的相应 RF2G4_IO 引脚保持大约 1.5 mm 的距离。此短线的额外寄生电感属于匹配网络，如果未精确保持，可能会提高谐波水平。
- 相邻匹配网络元件应尽可能彼此靠近，以尽可能降低任何接地的 PCB 寄生电容以及元件之间的串联寄生电感。
- 将匹配网络的并联电容旋转到传输线的 RFVDD 侧。
- 应使用多个接地导通孔将匹配网络中的并联电容直接连接至 PCB 第 2 层接地平面。若要获得最佳谐波性能，应避免将接地引脚连接至顶层的公共接地金属上。
- 在匹配网络区域，请至少在布线/盘与相邻 GND 灌流之间相隔 0.3 mm。该方法能够尽可能降低寄生电容并减轻失谐作用。
- 在匹配网络和 RFVDD 滤波部分之间添加接地铜缆。
- 由于 WLCSP 封装的引脚位置，某些引脚必须使用微孔连接到第一个内层。确保第一个内层上的这些走线尽可能短，以尽可能在顶层下方具有独特的相等接地层。

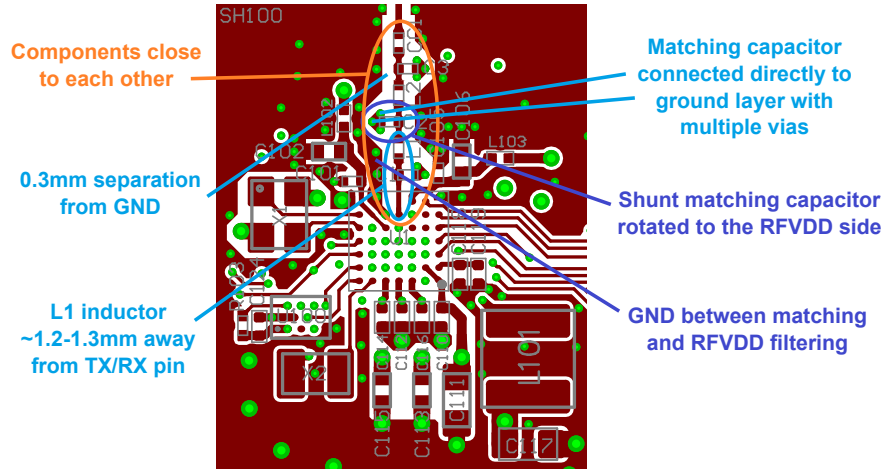


Figure 3.27. BRD4115B 匹配网络布局指导原则（顶层）

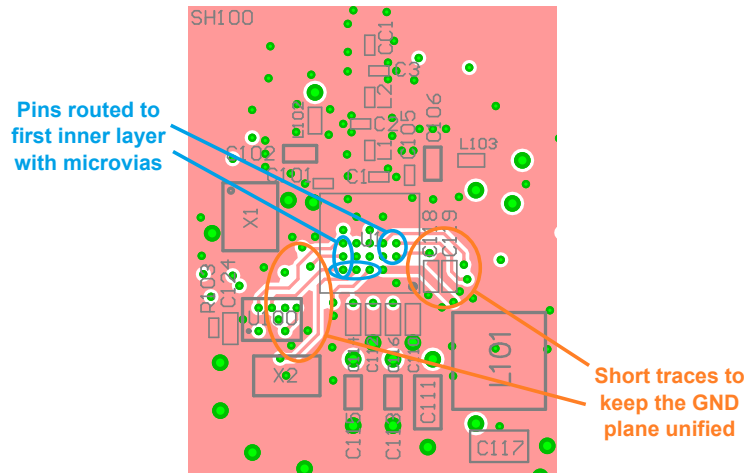


Figure 3.28. BRD4115B 上的内层走线建议（内层 1）

3.2.5.4 天线分集应用的其他布局设计指导原则

前面的章节中已经讲述了 具有特定发射功率的 EFR32xG24 的布局设计指导原则。

除了与匹配网络相关的布局惯例外，天线分集应用还有其他注意事项：

- SMA 天线连接器彼此之间应至少保持 $\lambda/4$ 距离。
- 应在 RF 开关的所有端口都放置直流阻塞电容，以避免 RF 开关受到直流信号的影响。
- 外部天线（例如单极天线）彼此之间应正交排列，以实现两次正交天线极化。
- 应使用 50 ohm 线路连接匹配网络、开关和 SMA 连接器。

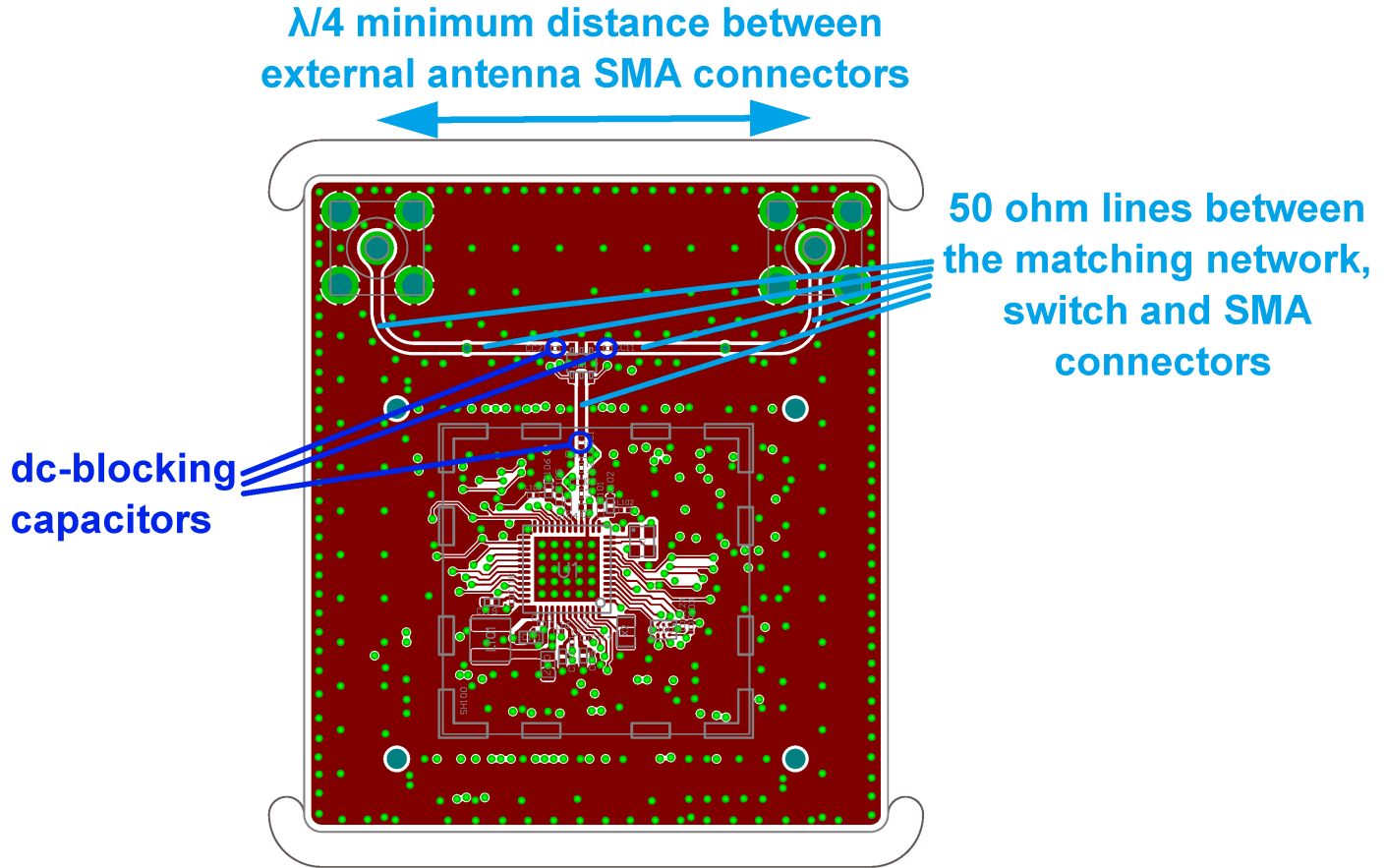


Figure 3.29. BRD4188B 天线分集射频板天线分集布局指导原则（顶层）

3.2.6 EFR32xG25 匹配网络的其他布局设计指导原则

如第 2.5 EFR32xG25 无线 MCU 的匹配网络类型 节中所述，在设计 EFR32xG25 的匹配网络时，可以使用两种不同的方法，如下所示：

- 使用外部 陶瓷平衡-不平衡转换器的匹配网络结构布局
- 全离散匹配网络结构的布局

本节将讲述这些不同结构的具体布局设计指导原则。

3.2.6.1 使用外部陶瓷平衡-不平衡转换器的匹配网络结构

- 相邻匹配网络元件应尽可能彼此靠近，以尽可能降低任何接地的 PCB 寄生电容以及元件之间的串联寄生电感。
- 平衡的 TX 匹配网络必须完全对称，因为任何不对称都会使差分 TX 引脚信号之间必要的 180° 相移 恶化。
- 应将所有匹配网络中的并联电容直接连接至 PCB 第 2 层接地平面。为获得最佳谐波性能，还应避免将接地引脚 连接至顶层的公共接地金属上。
- 若要获得更好的谐波性能，另建议将 PAVSS 和 RFVSS 直接连接至裸焊盘接地，而不是连接至公共顶层接地。
- 热敏电阻 GND 焊盘应直接连接到 XO 晶体 GND 焊盘（与顶层 GND 灌流无连接），以便正确感应晶体温度。
- 按原样复制 RX 匹配结构：可将附加线（它们将 RX 匹配电感连接到 SUBG_I 引脚与匹配网络的公共直接连接点）视为寄生电感，这些线在匹配网络中将发挥自己的作用。使用非直接连接类型的匹配网络（例如具有 RF 开关或 FEM 的匹配网络）时，也应该应用这些附加线。若使用不同的线长度，RX 匹配网络可能会相对其最佳形式而失谐，可能需要进行额外的调节。这些线的效果在高频段 1 GHz 以下的频率（868/915 MHz）中很显著，在 500 MHz 以下的频率中不太显著。
- 在匹配网络区域，请至少在线/盘与相邻接地灌流之间相隔 0.6 mm。该方法能够尽可能降低寄生电容并减轻失谐作用。

Note: Silicon Labs 为 868、915 和 920 MHz 频段 提供了一个常见布局。

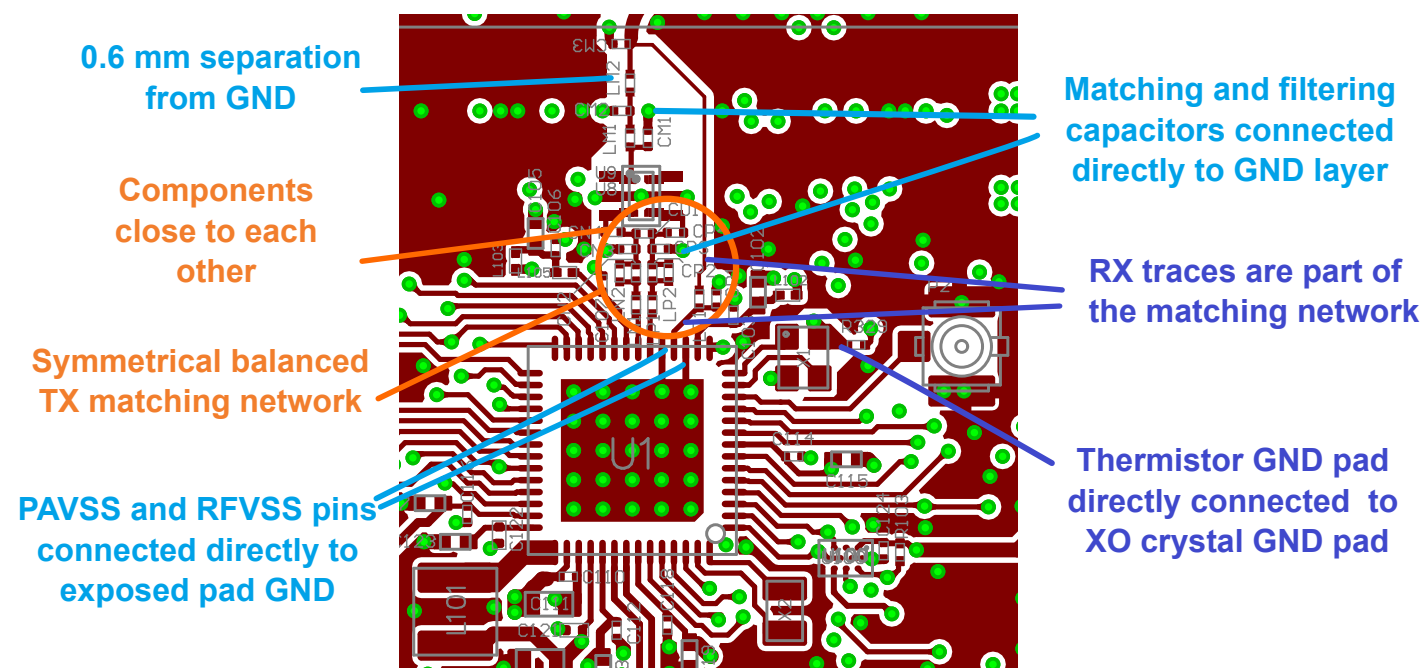


Figure 3.30. 使用外部陶瓷平衡—不平衡转换器的 BRD4270B 射频板的匹配网络布局指导原则（顶层）

3.2.6.2 全离散匹配网络结构

- 相邻匹配网络元件应尽可能彼此靠近，以尽可能降低任何接地的 PCB 寄生电容以及元件之间的串联寄生电感。
- 应将所有匹配网络中的并联电容直接连接至 PCB 第 2 层接地平面。为避免将接地引脚连接至顶层的公共接地金属上。
- 若要获得更好的谐波性能，另建议将 PAVSS 和 RFVSS 直接连接到裸焊盘接地，而不是连接至公共顶层接地。
- 热敏电阻 GND 焊盘应直接连接到 XO 晶体 GND 焊盘（与顶层 GND 灌流无连接），以便正确感应晶体温度。
- 按原样复制 RX 匹配结构：可将附加线（它们将 RX 匹配电感连接到 SUBG_I 引脚与匹配网络的公共直接连接点）视为寄生电感，这些线在匹配网络中将发挥自己的作用。使用非直接连接类型的匹配网络（例如具有 RF 开关或 FEM 的匹配网络）时，也应该应用这些附加线。若使用不同的线长度，RX 匹配网络可能会相对其最佳形式而失谐，可能需要进行额外的调节。这些线的效果在高频段 1 GHz 以下的频率（868/915 MHz）中很显著，在 500 MHz 以下的频率中不太显著。

Note: 虽然 868、915 和 920 MHz 频段的匹配结构相似，但 470 MHz 频段的匹配结构略有不同，如下图所示。两种无线电路板如下图所示。

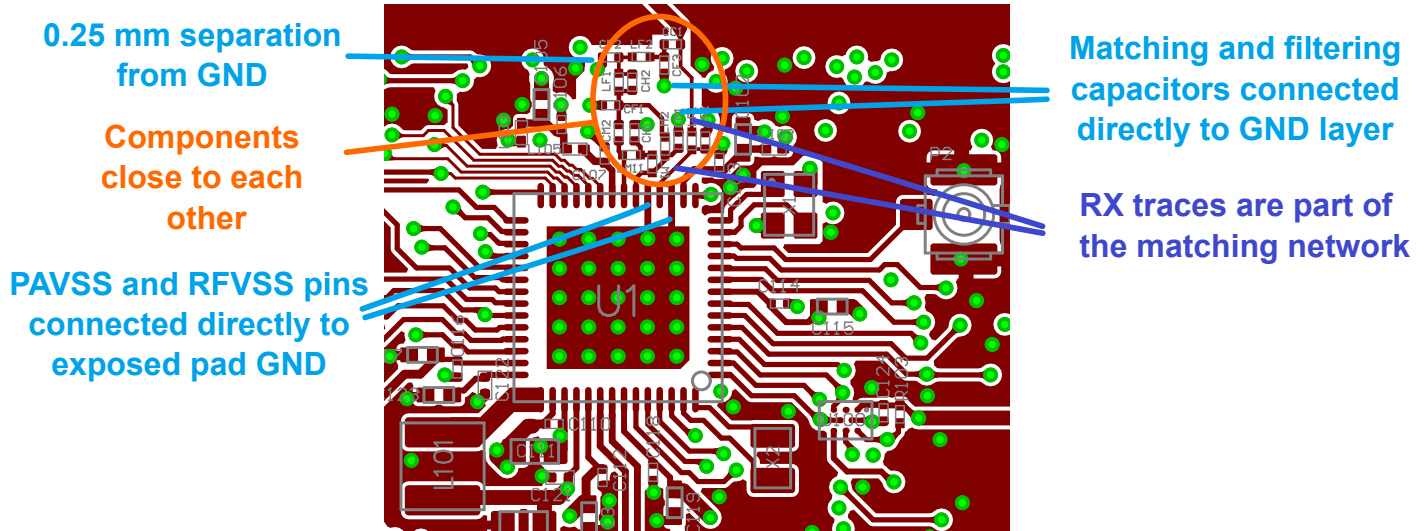


Figure 3.31. 868、915 和 920 MHz 频段全离散匹配原型射频板上的匹配网络布局指导原则（顶层）

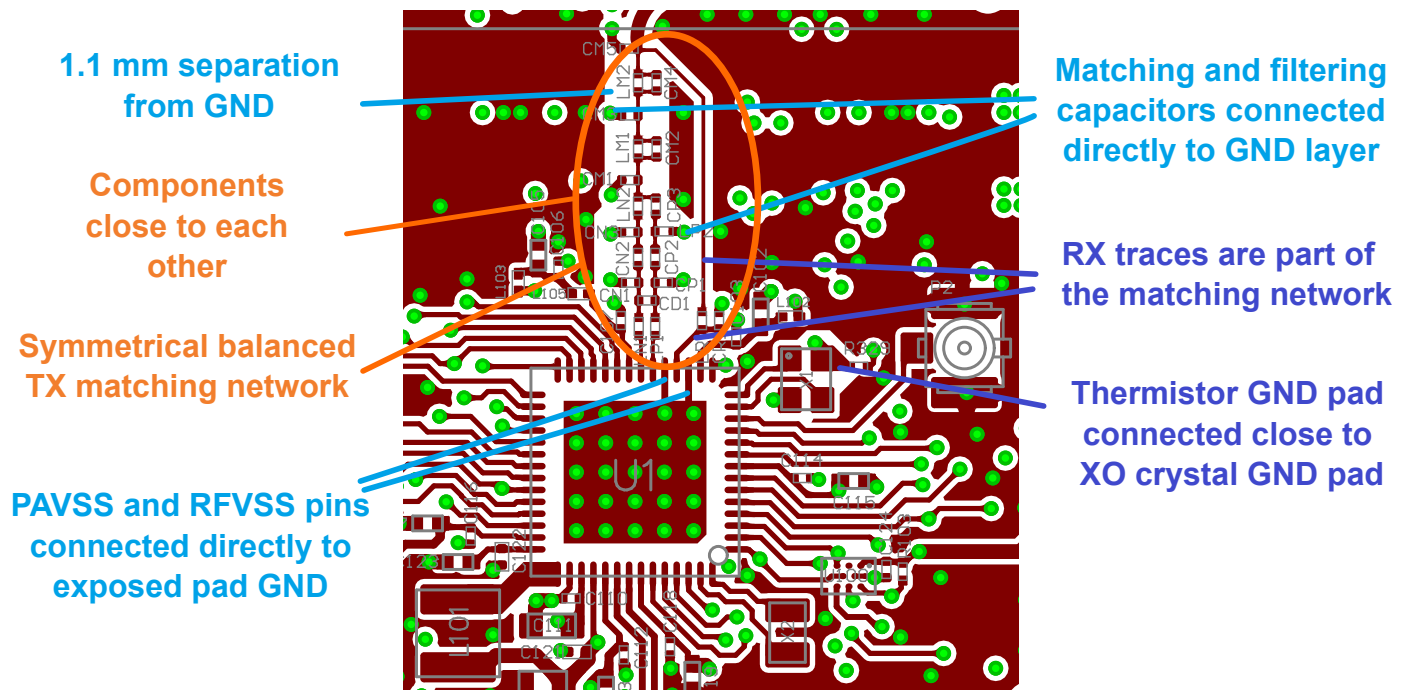


Figure 3.32. 470 MHz 频段全离散匹配 BRD4272A 射频板上的匹配网络布局指导原则（顶层）

3.2.7 EFR32xG27 匹配网络的其他布局设计指导原则

如 2.6 EFR32xG27 无线 MCU 的匹配网络类型中所述, EFR32xG27 匹配网络同样针对 0 dBm 和高功率 PA 进行了优化, 降压和升压直流转换器版本需要相同的匹配工作。但是, QFN 和 WLCSP 封装类型的最佳匹配网络组件值和 PCB 布局指导原则不同。

本节将讲述这两种封装类型的具体布局设计指导原则。

3.2.7.1 使用 QFN 封装类型时的布局设计指导原则

- 强烈建议在 L1 电感与 EFR32xG27 IC 的对应 RF2G4_IO 引脚之间保持大约 1.2-1.3 的距离 (在 BRD4194A 射频板上, 此距离为 1.28 mm)。此短线的额外寄生电感属于匹配网络, 如果未精确保持, 可能会提高谐波水平。
- 相邻匹配网络元件应尽可能彼此靠近, 以尽可能降低任何接地的 PCB 寄生电容以及元件之间的串联寄生电感。
- 将匹配网络的并联电容旋转到传输线的 RFVDD 侧。
- 应使用多个接地导通孔将匹配网络中的并联电容直接连接至 PCB 第 2 层接地平面。若要获得最佳谐波性能, 应避免将接地引脚连接至顶层的公共接地金属上。
- 若要获得更好的谐波性能, 另建议将引脚 13 (RFVSS) 直接连接至裸焊盘接地, 而不是连接至公共顶层接地。
- 在匹配网络区域, 请至少在布线/盘与相邻 GND 灌流之间相隔 0.3 mm。该方法能够尽可能降低寄生电容并减轻失谐作用。

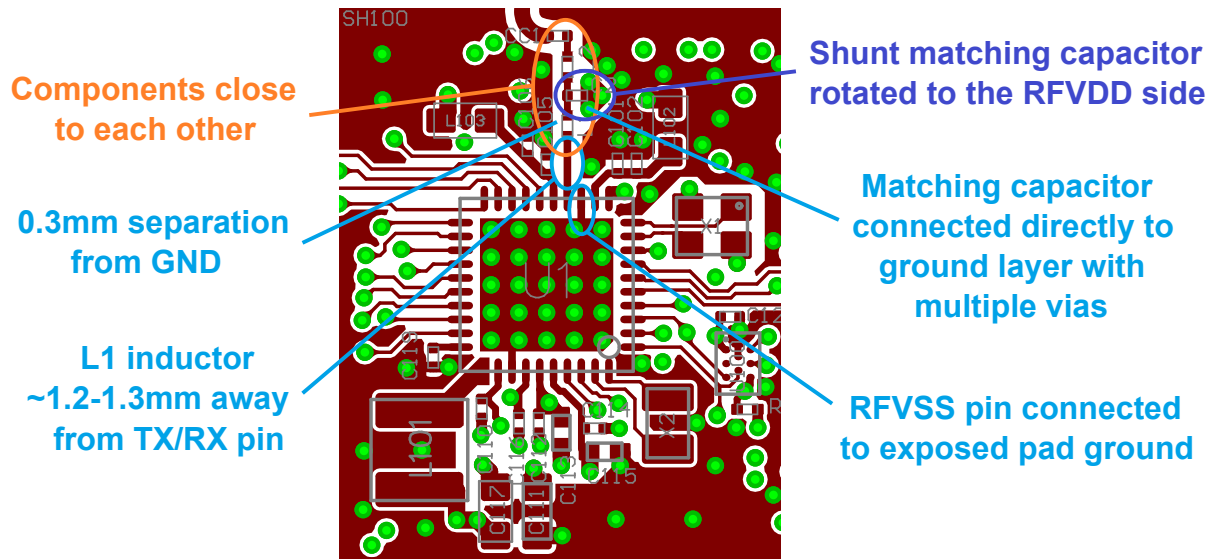


Figure 3.33. BRD4194A 射频板的匹配网络布局指导原则 (顶层)

3.2.7.2 使用 WLCSP 封装类型时的布局设计指导原则

- 强烈建议使 L1 电感和 EFR32xG27 IC 的 RF2G4_IO TX/RX 引脚保持较近的距离。
- 相邻匹配网络元件应尽可能彼此靠近，以尽可能降低任何接地的 PCB 寄生电容以及元件之间的串联寄生电感。
- 将匹配网络的并联电容旋转到传输线的 PAVDD 侧。
- 应使用多个接地导通孔将匹配网络中的并联电容直接连接至 PCB 第 2 层接地平面。若要获得最佳谐波性能，应避免将接地引脚连接至顶层的公共接地金属上。
- 为了实现更好的谐波性能，建议将 EFR32xG27 芯片的接地引脚相互连接，并连接到内部接地层。
- 由于 WLCSP 封装的引脚位置，某些引脚必须使用微孔连接到第一个内层。确保第一个内层上的这些走线尽可能短，以尽可能在顶层下方具有独特的相等接地层。
- 在匹配网络区域，请至少在布线/盘与相邻 GND 灌流之间相隔 0.3 mm。该方法能够尽可能降低寄生电容并减轻失谐作用。

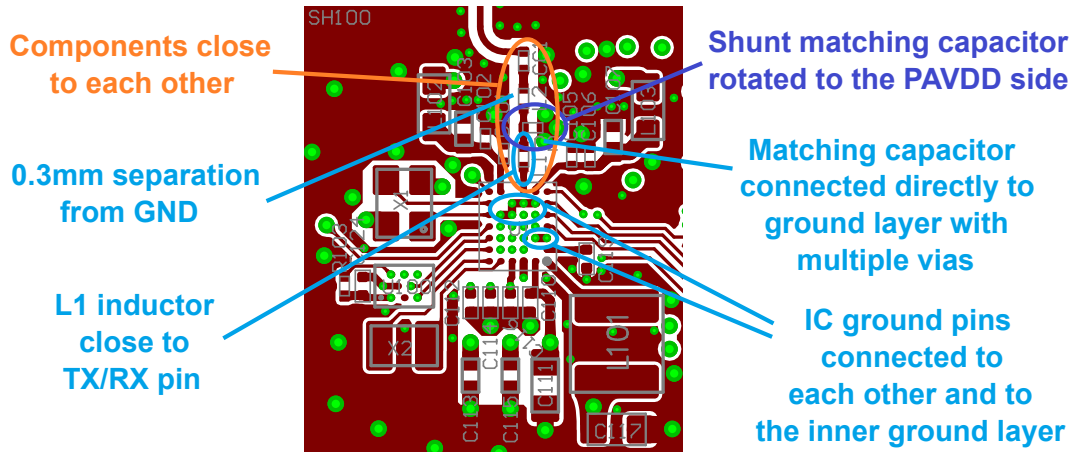


Figure 3.34. BRD4110B 射频板的匹配网络布局指导原则（顶层）

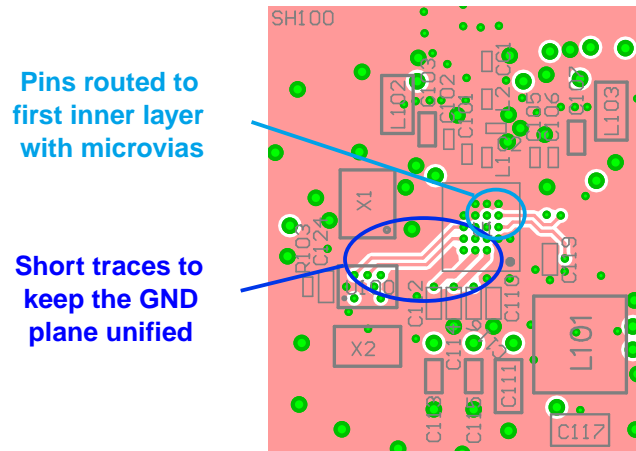


Figure 3.35. BRD4110B 射频板上的内层走线建议（内层 1）

3.2.8 EFR32xG28 匹配网络的其他布局设计指导原则

- 强烈建议使 L1 和 L4 电感和 EFR32xG28 IC 的相应 RF 引脚保持较近的距离。这些短线的额外寄生电感属于匹配网络，如果未精确保持，可能会提高谐波水平。
- 相邻匹配网络元件应尽可能彼此靠近，以尽可能降低任何接地的 PCB 寄生电容以及元件之间的串联寄生电感。
- 应使用多个接地导通孔将匹配网络中的并联电容直接连接至 PCB 第 2 层接地平面。
- 若要获得最佳谐波性能，应避免将接地引脚连接至顶层的公共接地金属上。
- 若要获得更好的谐波性能，另建议将 RFVSS 引脚直接连接至裸焊盘接地，而不是连接至公共顶层接地。
- 在匹配网络区域，请在线/盘与相邻 GND 灌流之间保持较大的铜禁区和分隔区域。该方法能够尽可能降低寄生电容并减轻失谐作用。
- 在 TX 路径的直流阻塞电容下进行 RX 走线（穿过另一个 RF 端口的 TX 路径）。选择更大的 0402 尺寸组件，使走线成为可能。

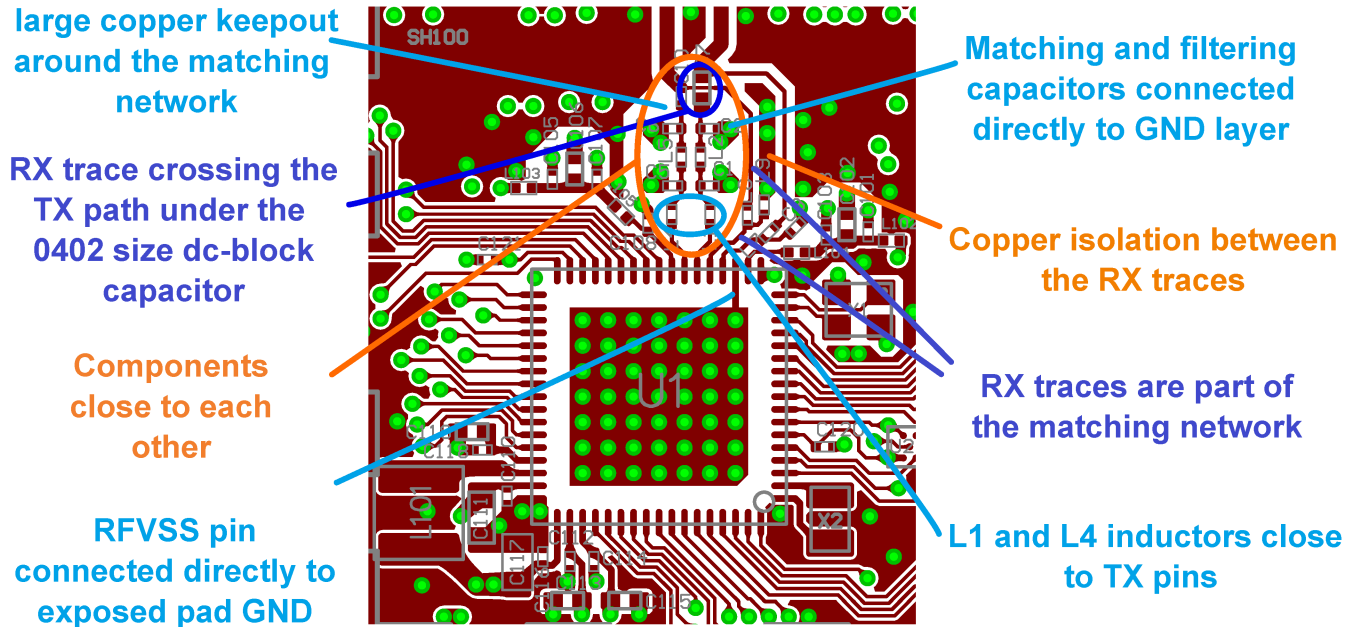
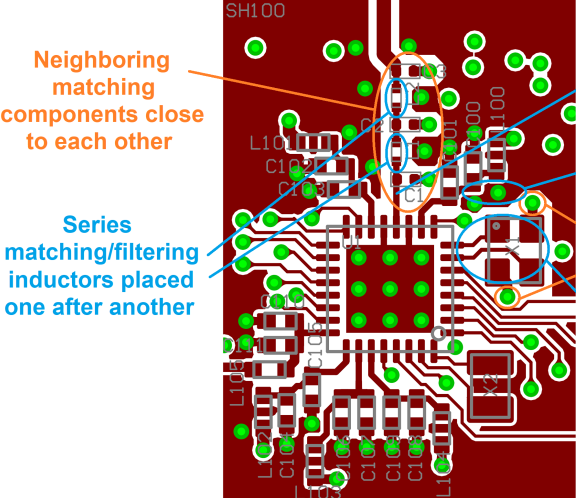
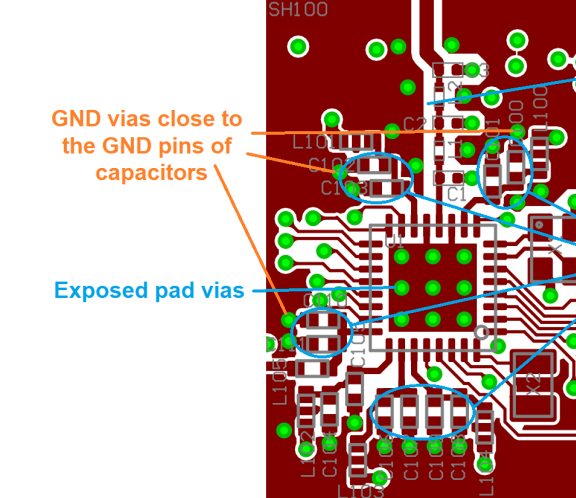
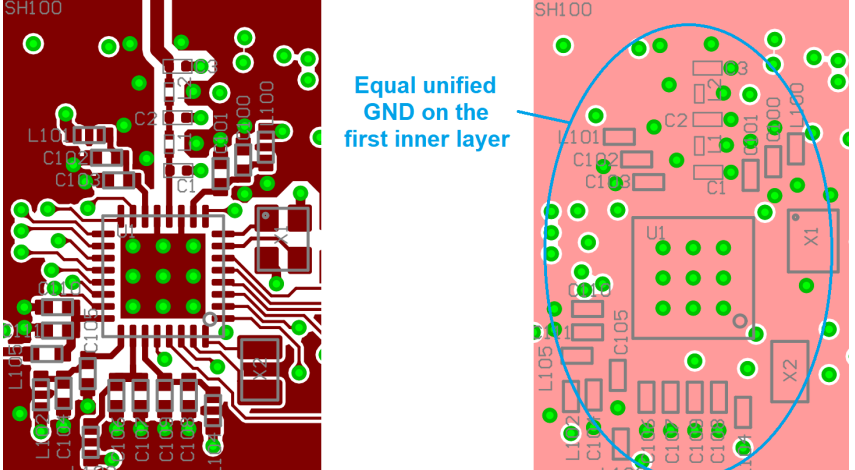


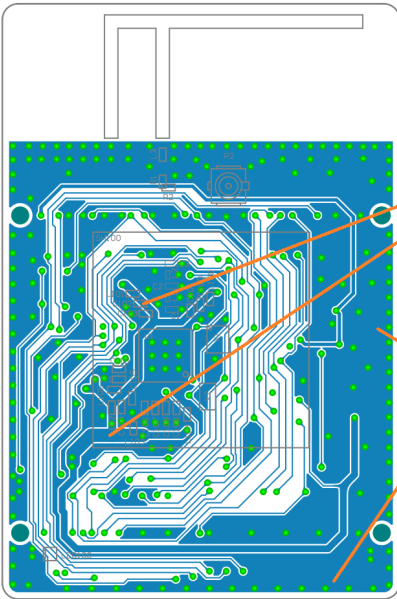
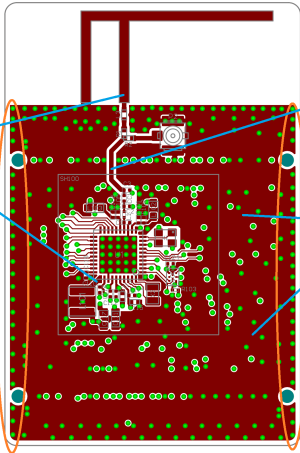
Figure 3.36. BRD4400C 射频板上的匹配网络指导原则（顶层）

Note: EFR32xG28 提供 QFN68 和 QFN40 两种封装版本。此外，还有 1 GHz 以下/2.4 GHz 和 1 GHz 以下/1 GHz 以下版本的设备。本应用说明中的布局指导原则适用于所有四种封装版本。

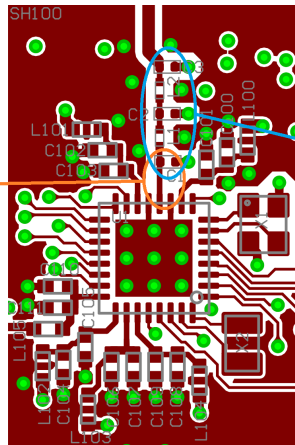
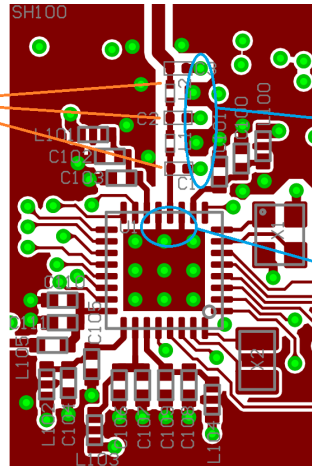
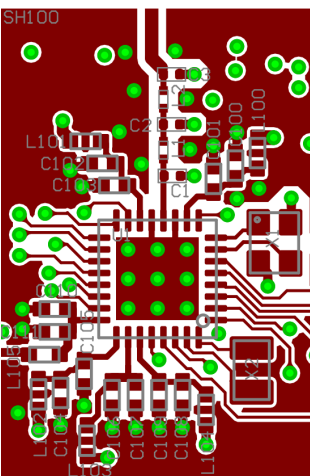
4. 对照表

4.1 主布局设计原则

<ol style="list-style-type: none"> 1. PCB 层数是否与参考设计相同？或者至少顶层和第一个内层之间的距离相似？ 2. 相邻匹配网络元件是否尽可能彼此接近？ 3. 布线宽度是否与连接附近元件的盘宽相同（相似）？ 4. 串联匹配/滤波电感是否依次排列或者相互垂直？ 5. RF 晶体是否尽可能接近 EFR32 IC 的 XTAL 引脚？ 6. 晶体和 RFVDD 馈送之间是否存在接地金属？ 	 <p>Neighboring matching components close to each other</p> <p>Trace width (near) the same as pad width</p> <p>Ground metal between crystal and RFVDD</p> <p>RF crystal ground pins connected directly to ground layer</p> <p>RF crystal close to XTAL pins</p> <p>Series matching/filtering inductors placed one after another</p>
<ol style="list-style-type: none"> 7. 最小值 VDD 滤波电容是否尽可能靠近 EFR32 的 VDD 引脚（RFVDD、PAVDD、AVDD、DVDD、IOVDD）？ 8. 并联电容的接地引脚是否使用靠近这些引脚的多个孔？ 9. 裸焊盘封装是否使用多个孔？ 10. 布线/盘与 GND 金属之间的匹配是否至少间隔 0.3 mm？ 	 <p>GND vias close to the GND pins of capacitors</p> <p>At least 0.3mm separation from GND</p> <p>VDD filtering capacitors close to VDD pins</p> <p>Exposed pad vias</p>
<ol style="list-style-type: none"> 11. 是否避免在 VDD 滤波电容的接地孔和 EFR32 IC 的裸焊盘之间的第一个内 (GND) 层上进行布线？ 	 <p>Equal unified GND on the first inner layer</p>

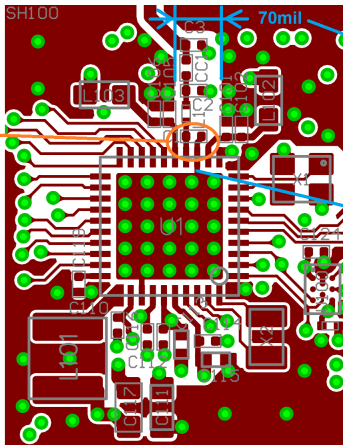
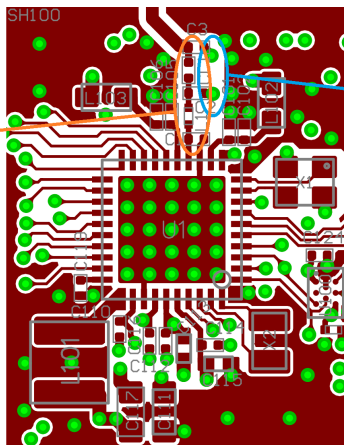
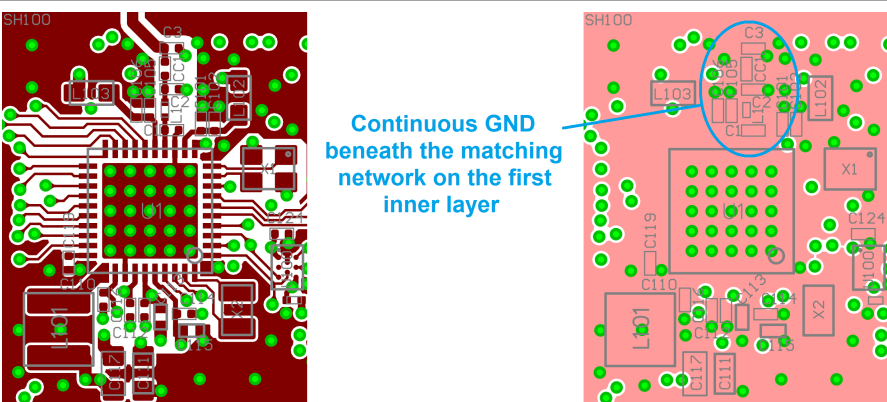
12.	是否在内层进行布置电源和数字线？ 或者如果布置在顶层或底层，电源线是否被带有很多 GND 孔的接地金属而环绕？	 <p>Supply and digital traces routed on inner layer</p> <p>Placing supply or digital trace close to PCB edge is avoided</p>	 <p>Antenna far away from DC-DC converter</p> <p>50 ohm coplanar line</p> <p>GND metallization</p> <p>Stitching vias at PCB edges</p> <p>Stitching vias at PCB edges</p>
13.	是否避免电源线或数字线靠近 PCB 边缘？		
14.	是否使用尽可能多的 GND 孔，至少向 RF 部分添加大规模连续 GND 敷金属？		
15.	GND 金属边缘附近是否有“针脚孔”，并且孔距小于最高（通常为第 10 次）关键谐波频率的 $\lambda/10$ ？		
16.	用于 RF 走线的 50 Ω 接地共面线是否在基本频率下长于 $\lambda/16$ ？		
17.	靠近 50 Ω 传输线的接地敷金属上是否有孔？		
18.	RF 相关部件（尤其是天线）是否远离直流转换器输出和相关直流元件？		

4.2 EFR32xG21 匹配网络的其他问题

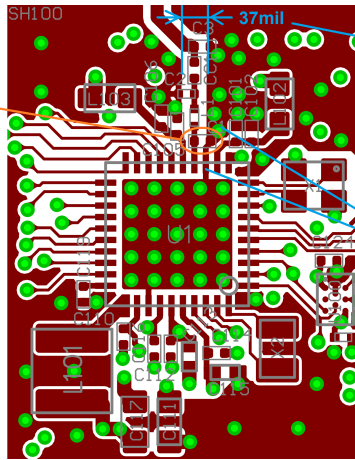
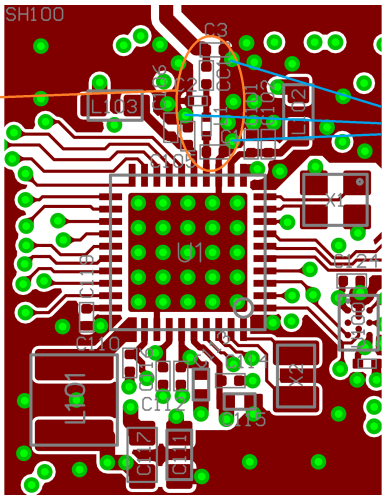
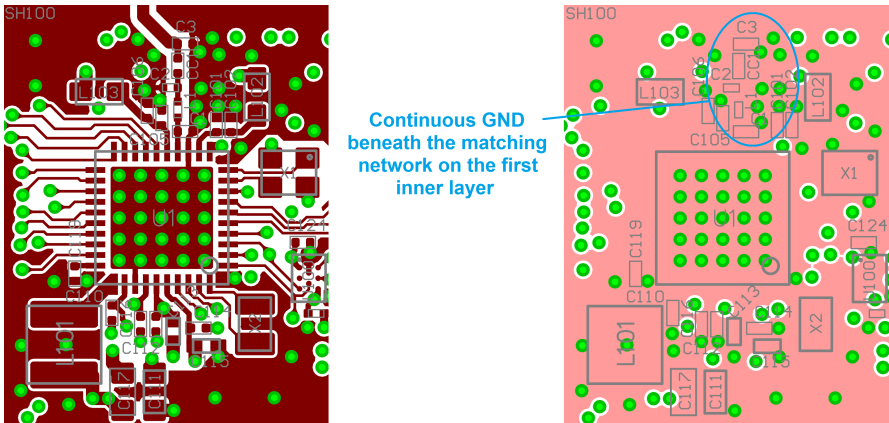
19. 第一个匹配网络元件 (C1) 是否与对应的 TX/RX 引脚保持大约 1mm 的距离?	 <p>First matching component ~1mm away from TX/RX pin</p> <p>Nearby harmonic filtering capacitors connected to the same side of transmission line</p>
20. 附近的谐波滤波电容是否连接到传输线相同端的接地层?	
21. 匹配网络中的并联电容是否直接连接至内层 1 (公共接地)? 是否避免将接地引脚连接至顶层的公共接地金属?	 <p>0.3mm separation between traces/pads and GND metal</p> <p>Matching capacitors connected directly to ground layer</p> <p>Unused TX/RX pin and RFVSS pin connected directly to exposed pad ground</p>
22. 未使用的 TX/RX 引脚和 RFVSS 引脚是否直接连接至裸焊盘接地? 是否避免将上述引脚连接至公共顶层接地?	
23. 布线/盘与 GND 金属之间的匹配是否至少间隔 0.3 mm?	
24. 是否在 RF 芯片和匹配网络下的第一个内层区域填充了连续 GND 金属? 是否避免在此区域布线?	 <p>Continuous GND beneath the matching network on the first inner layer</p>

	<p>顶层电容放置:</p> <p>No connection to common TOP and BOT layer ground</p> <p>Capacitor on TOP side</p>	
	<p>Direct connection to ground on inner layers</p>	
	<p>底部电容放置:</p> <p>Direct via to the BOTTOM side</p> <p>Capacitor on BOTTOM side</p> <p>Direct connection to BOTTOM layer ground</p>	
	<p>No connection to common inner layer ground</p>	

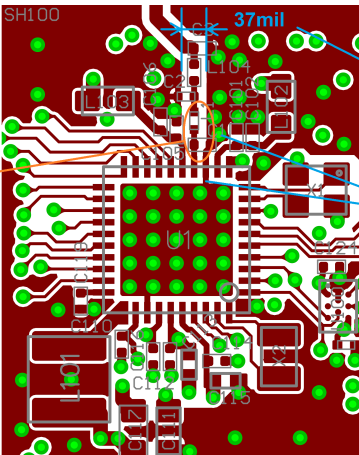
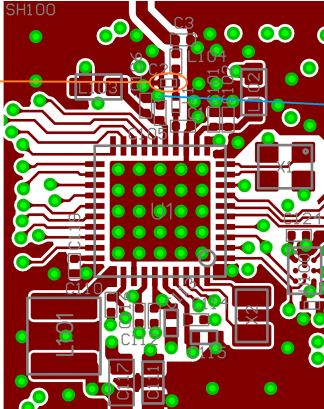
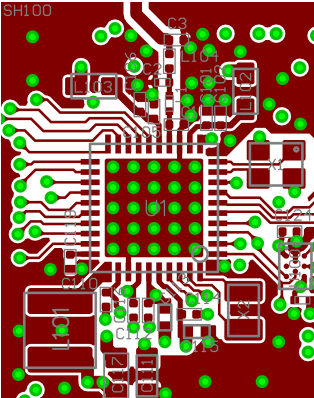
4.3 使用既有布局概念 #1 的 EFR32xG22 Pi 匹配网络的其他问题

26.	第一个匹配网络元件 (C1) 是否尽可能靠近对应的 TX/RX 引脚?	 <p>70mil ground pour keep-out width around the matching</p> <p>Ground pin of C1 and RFVSS pin connected to exposed pad ground</p>
27.	C1 电容的接地引脚和 EFR32 IC 的 RFVSS 引脚是否直接连接至裸焊盘接地? 是否避免将上述引脚连接至内层接地或公共顶层接地?	
28.	是否在匹配网络区域周围应用所建议的约 70 密耳的接地灌流禁区?	
29.	附近的谐波滤波电容是否连接至传输线相同端的接地层?	 <p>Nearby harmonic filtering capacitors connected to the same side of transmission line</p> <p>Matching capacitors connected directly to ground layer</p>
30.	匹配网络中的并联电容 (C1 除外) 是否直接连接至第一内层 (公共接地)? 是否避免将接地引脚连接至顶层的公共接地金属?	
31.	是否在 RF 芯片和匹配网络下的第一个内层区域填充了连续 GND 金属? 是否避免在此区域布线?	 <p>Continuous GND beneath the matching network on the first inner layer</p>

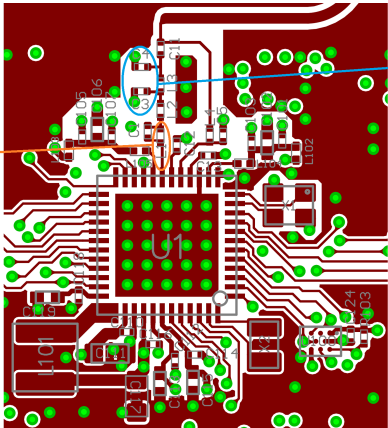
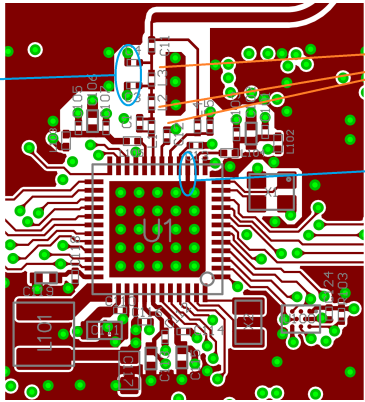
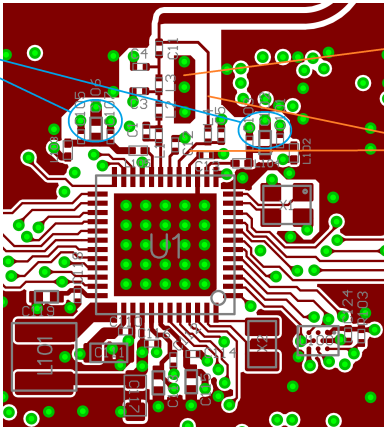
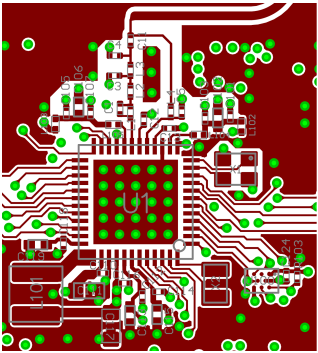
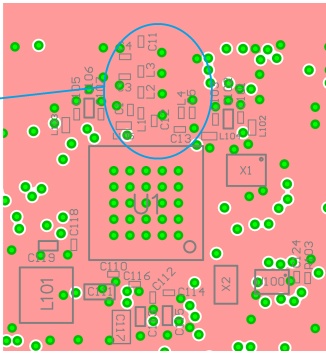
4.4 使用通用布局概念 #2 的 EFR32xG22 Pi 匹配网络的其他问题

32. 第一个匹配网络元件 (C1) 是否尽可能靠近对应的 TX/RX 引脚?	 <p>First matching component close to TX/RX pin</p> <p>37mil ground pour keep-out width around the matching</p> <p>Ground pin of C1 capacitor and RFVSS pin connected both to exposed pad ground and common top layer ground</p>
33. C1 电容的接地引脚和 EFR32 IC 的 RFVSS 引脚是否连接至裸焊盘接地和共同的顶层接地灌流?	
34. 是否在匹配网络区域周围应用所建议的约 37 密耳的接地灌流禁区?	
35. 附近的谐波滤波电容是否连接至传输线相反侧的接地平面?	 <p>Nearby harmonic filtering capacitors connected to the opposite side of transmission line</p> <p>Matching capacitors connected to common top layer ground with multiple vias</p>
36. 是否使用多个引脚孔将匹配网络中的并联电容连接到组件层 GND 灌流?	
37. 是否在 RF 芯片和匹配网络下的第一个内层区域填充了连续 GND 金属? 是否避免在此区域布线?	 <p>Continuous GND beneath the matching network on the first inner layer</p>

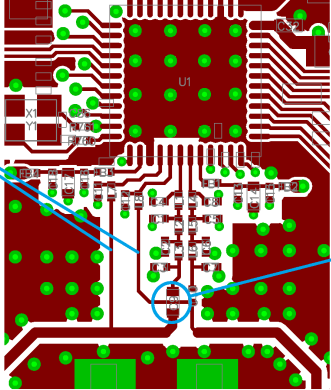
4.5 使用通用布局概念 #2 的 EFR32xG22 T 匹配网络的其他问题

38. 第一个匹配网络组件 (C1/L1) 的放置位置是否尽可能靠近对应的 TX/RX 引脚?	 <p>SH100</p> <p>37mil</p> <p>37mil ground pour keep-out width around the matching</p> <p>RFVSS pin connected to top layer ground with additional ground vias to internal ground layers</p> <p>First matching component close to TX/RX pin</p>
39. 是否将 RFVSS 引脚连接到顶层接地灌流 (具有通向内部接地层的附加接地导通孔) ?	
40. 是否在匹配网络区域周围应用所建议的约 37 密耳的接地灌流禁区?	
41. 是否将并联匹配网络电容旋转到传输线的 PAVDD 侧?	 <p>SH100</p> <p>C3</p> <p>Matching capacitor rotated to PAVDD side</p> <p>Matching capacitor connected to common top layer ground with multiple vias</p>
42. 是否使用多个引脚孔将并联匹配网络电容连接到组件层接地灌流?	
43. 是否在 RF 芯片和匹配网络下的第一个内层区域填充了连续 GND 金属? 是否避免在此区域布线?	 <p>SH100</p> <p>C3</p> <p>Continuous GND beneath the matching network on the first inner layer</p>

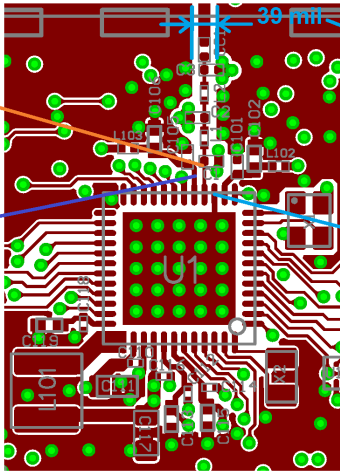
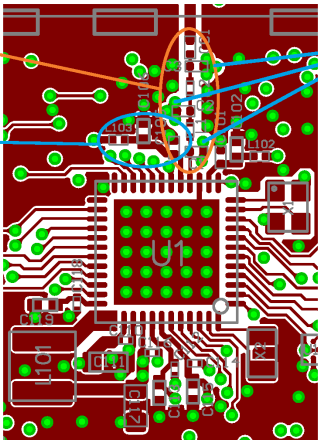
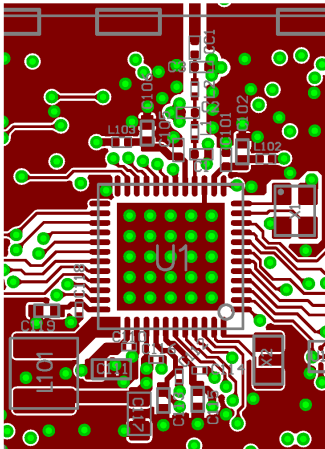
4.6 EFR32xG23 匹配网络的其他问题

44. 第一个匹配网络组件 (L1) 的放置位置是否与对应的 TX 引脚相距大约 1 mm?	 <p>First matching component ~1mm away from TX pin</p> <p>Nearby harmonic filtering capacitors connected to the same side of transmission line</p>
45. 附近的谐波滤波电容是否连接至传输线相同端的接地层?	
46. 匹配网络中的并联电容是否直接连接至内层 1 (公共接地)? 是否避免将接地引脚连接至顶层的公共接地金属?	 <p>Matching capacitors connected directly to ground layer</p> <p>0.5mm separation between traces/pads and GND metal</p> <p>RFVSS pin connected directly to exposed pad ground</p>
47. 是否将 RFVSS 引脚直接连接至裸焊盘接地? 是否避免将该引脚连接至共同的顶层接地?	
48. 布线/盘和 GND 金属之间的匹配是否至少间隔 0.5 mm?	
49. TX 和 RX 级之间是否添加接地铜缆隔离?	 <p>PAVDD and RFVDD filtering capacitors connected directly to ground layer</p> <p>Ground isolation between TX and RX matches</p> <p>RX traces are part of the matching network</p>
50. 是否对 RX 匹配网络应用额外的线?	
51. 是否将 PAVDD 和 RFVDD 滤波电容直接连接到第一个内层 (公共接地)? 是否避免将这些电容的接地引脚连接至顶层的公共接地金属?	
52. 是否在 RF 芯片和匹配网络下的第一个内层区域填充了连续 GND 金属? 是否避免在此区域布线?	 <p>Continuous GND beneath the matching network on the first inner layer</p> 

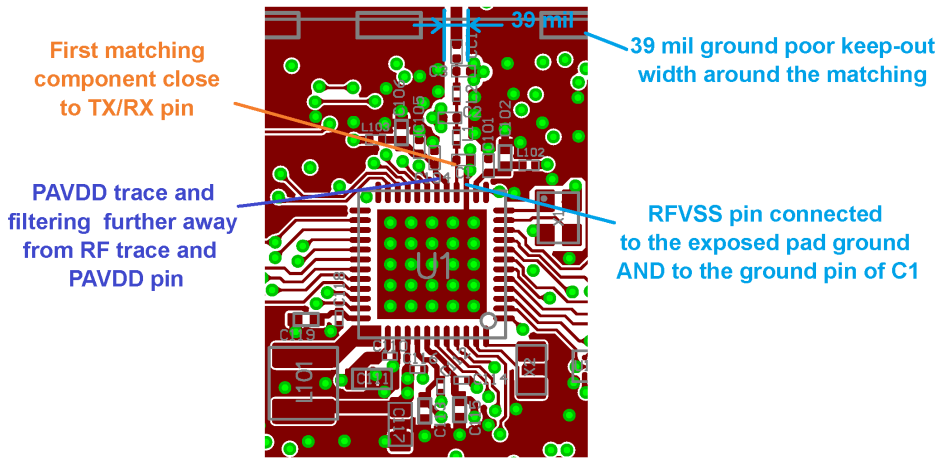
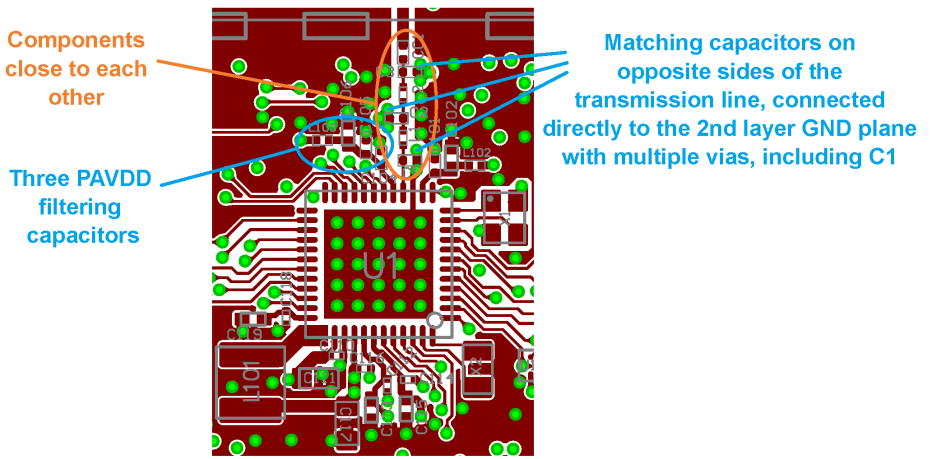
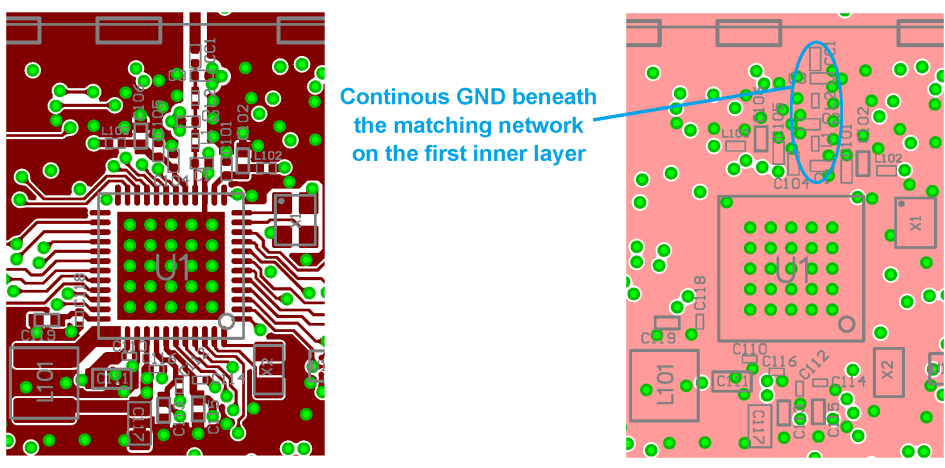
4.7 EFR32xG23 2 匹配网络 RF 前端使用的其他考虑事项

53.	SUBG_I0 RX 引脚的走线是否与直流阻塞电容下方的 SUBG_O1 TX 引脚的走线交叉？	 <p>RX trace inductance must be taken into account when designing the matching network</p> <p>RX trace should cross the TX trace under the dc-blocking capacitor</p>
54.	设计匹配网络时是否考虑了 RX 走线的电感？	

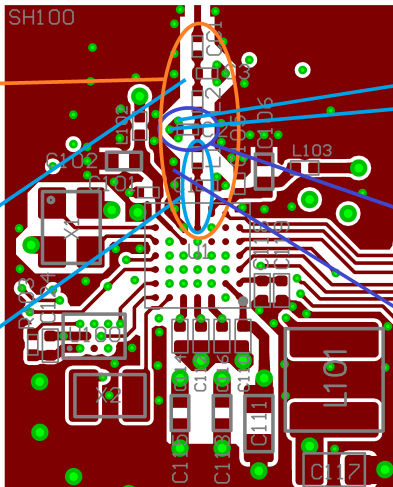
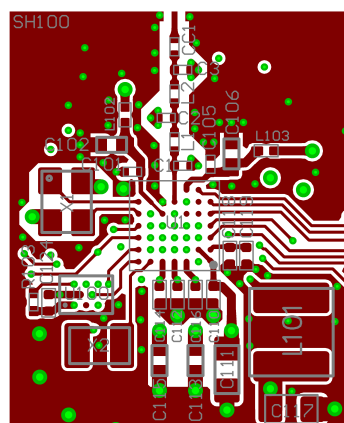
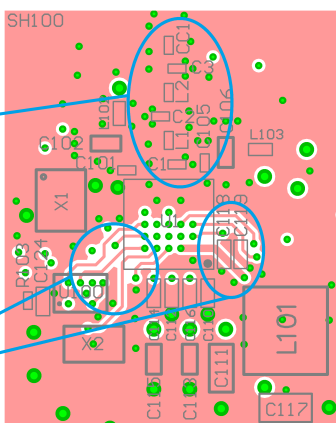
4.8 EFR32xG24 匹配网络用于低功耗应用 (≤ 10 dBm) 时的其他考虑事项 (QFN 封装版本)

55. 第一个匹配网络组件 (C1) 是否靠近 TX/RX 引脚?		39 mil	39 mil ground pour keep-out width around the matching
56. 是否在匹配网络区域周围应用所建议的约 39 密耳的接地灌流禁区?			
57. PAVDD 走线是否靠近 RF 走线? PAVDD 滤波网络是否靠近 RF 走线和 PAVDD 引脚?			
58. RFVSS 引脚是否连接至裸焊盘接地, 而不是连接至 C1 的接地?			
59. 匹配电容是否位于传输线的相对侧? 这些电容是否通过多个导通孔 (包括 C1) 直接连接至第二层 GND 平面?			
60. 匹配组件是否彼此靠近?			
61. PAVDD 滤波网络是否包含两个并联电容 (120pF + 1uF) 和一个串联铁氧体?			
62. 是否在 RF 芯片和匹配网络下的第一个内层区域填充了连续 GND 金属? 是否避免在此区域布线?		Continuous GND beneath the matching network on the first inner layer	

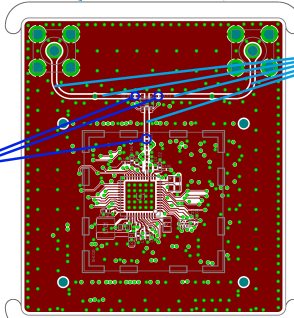
4.9 EFR32xG24 匹配网络用于高功耗应用 (>10 dBm) 时的其他考虑事项 (QFN 封装版本)

63. 第一个匹配网络组件 (C1) 是否靠近 TX/RX 引脚?	
64. 是否在匹配网络区域周围应用所建议的约 39 密耳的接地灌流禁区?	
65. PAVDD 走线是否远离 RF 线路? PAVDD 滤波网络是否远离 RF 走线和 PAVDD 引脚?	
66. RFVDD 引脚是否连接至裸焊盘接地和 C1 的接地?	
67. 匹配电容是否位于传输线的相对侧? 这些电容是否通过多个导通孔 (包括 C1) 直接连接至第二层 GND 平面?	
68. 匹配组件是否彼此靠近?	
69. PAVDD 滤波网络是否包含三个并联电容 (120pF + 1uF) 和一个串联铁氧体?	
70. 是否在 RF 芯片和匹配网络下的第一个内层区域填充了连续 GND 金属? 是否避免在此区域布线?	

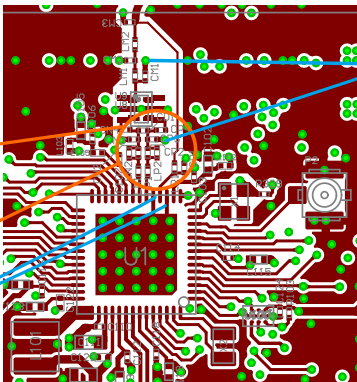
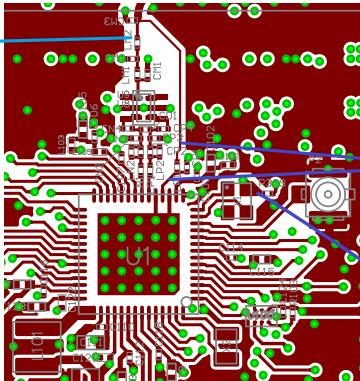
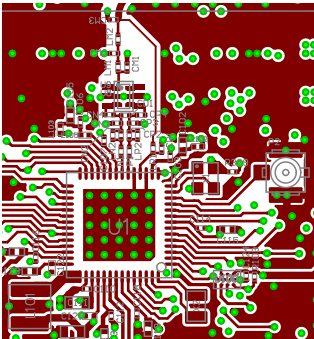
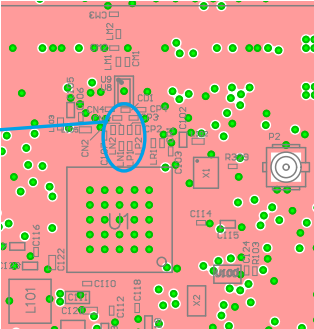
4.10 EFR32xG24 匹配网络 (WLCSP 封装版本) 的其他问题

71. 匹配组件是否彼此靠近?	 <p>Components close to each other</p> <p>Matching capacitor connected directly to ground layer with multiple vias</p> <p>Shunt matching capacitor rotated to the RFVDD side</p> <p>GND between matching and RFVDD filtering</p> <p>0.3mm separation from GND</p> <p>L1 inductor ~1.2-1.3mm away from TX/RX pin</p>
72. 第一个匹配网络组件 (L1) 的放置位置是否与 TX/RX 引脚相距大约 1.5 mm?	
73. 布线/盘与 GND 金属之间的匹配是否至少间隔 0.3 mm?	
74. 是否将并联匹配网络电容旋转到传输线的 RFVDD 侧?	
75. 并联匹配网络电容是否通过多个导通孔直接连接到第二层 GND 平面?	
76. 是否在匹配网络和 RFVDD 滤波之间添加了 GND?	
77. 是否在匹配网络下的第一个内层区域填充了连续 GND 金属? 是否避免在此区域布线?	 <p>Continuous GND beneath the matching network on the first inner layer</p>  <p>Short traces to keep the GND plane unified</p>
78. 通过微孔从第一内层的芯片引脚的走线是否尽可能短 (以避免分裂 GND 平面)?	

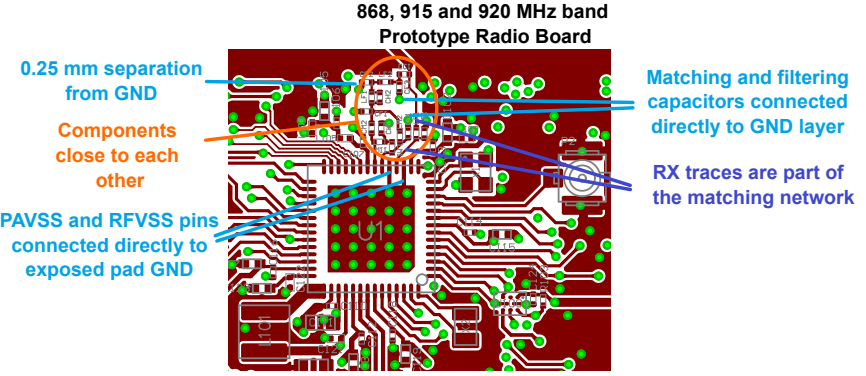
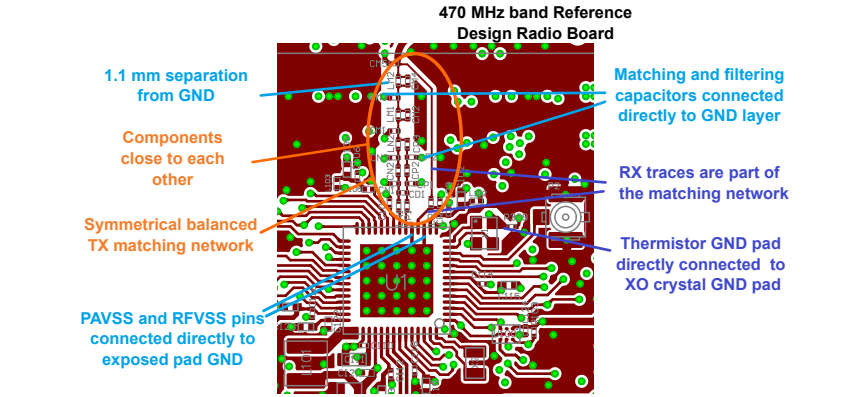
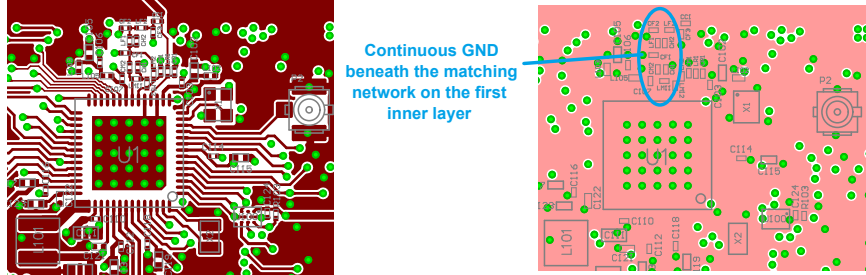
4.11 EFR32xG24 匹配网络用于高功率天线分集应用 (>10 dBm) 时的其他问题

79. SMA 天线连接器彼此之间是否至少保持 $\lambda/4$ 距离?	 <p>$\lambda/4$ minimum distance between external antenna SMA connectors</p> <p>50 ohm lines between the matching network, switch and SMA connectors</p> <p>dc-blocking capacitors</p>
80. 是否所有 RF 开关端口都放置了直流阻塞电容?	
81. 外部天线 (例如单极天线) 彼此之间是否正交排列?	

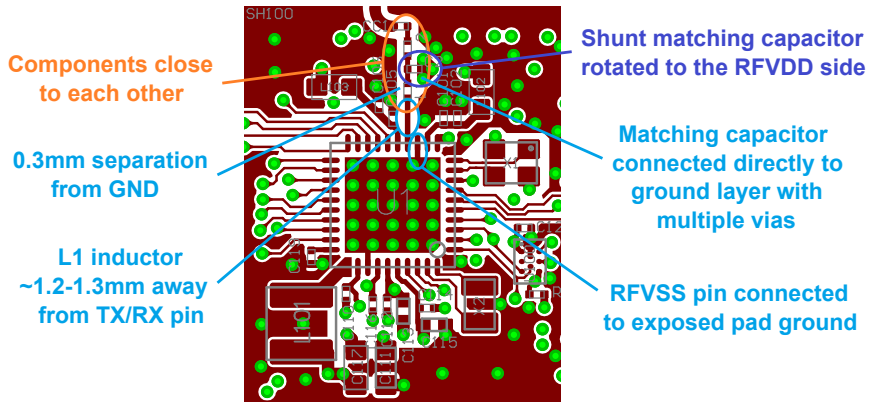
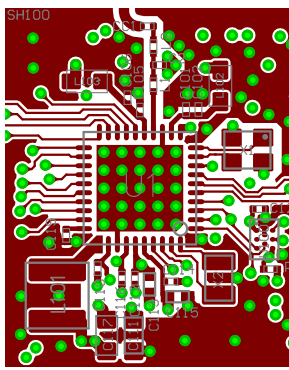
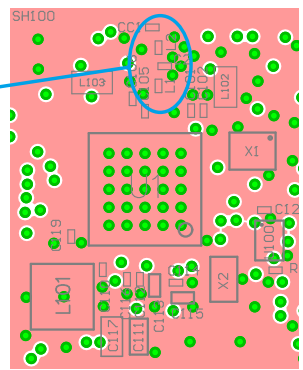
4.12 使用外部陶瓷平衡—不平衡转换器的 EFR32xG25 匹配网络的其他问题

82. 匹配组件是否彼此靠近?	
83. 匹配网络中的并联电容是否直接连接至内层 1 (公共接地)? 是否避免将接地引脚连接至顶层的公共接地金属?	
84. 平衡的 TX 匹配网络 是否完全对称?	
85. 是否将 PAVSS 和 RFVSS 引脚 直接连接至裸焊盘接地? 是否避免将该引脚连接至 共同的顶层接地?	
86. 布线/盘与 GND 金属之间的匹配 是否至少间隔 0.6 mm?	
87. 是否对 RX 匹配网络应用额外的线?	
88. 热敏电阻 GND 焊盘是否直接 连接到 XO 晶体 GND 焊盘 (与顶层 GND 灌流无连接)?	 
89. 是否在 RF 芯片和匹配网络下的第一个内层区域填充了连续 GND 金属? 是否避免在此区域布线?	

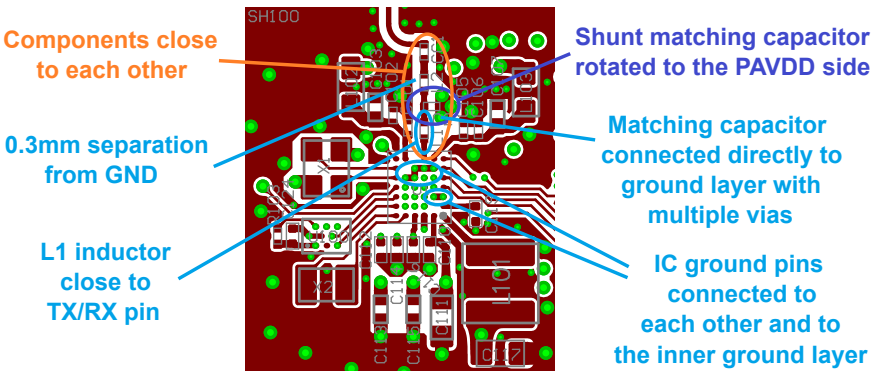
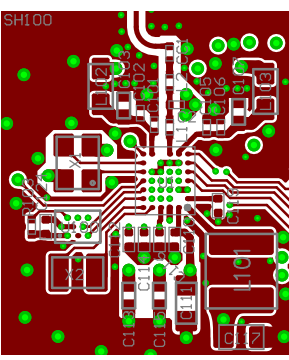
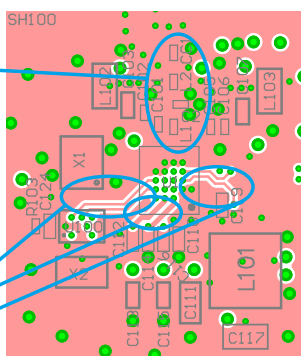
4.13 EFR32xG25 匹配网络与 全离散匹配网络的其他问题

90. 匹配组件是否彼此靠近?	 <p>868, 915 and 920 MHz band Prototype Radio Board</p> <p>0.25 mm separation from GND</p> <p>Components close to each other</p> <p>PAVSS and RFVSS pins connected directly to exposed pad GND</p> <p>Matching and filtering capacitors connected directly to GND layer</p> <p>RX traces are part of the matching network</p>
91. 匹配网络中的并联电容是否直接连接至内层 1 (公共接地)? 是否避免将接地引脚连接至顶层的公共接地金属?	
92. 是否将 PAVSS 和 RFVSS 引脚 直接连接至裸焊盘接地? 是否避免将该引脚连接至 共同的顶层接地?	
93. 是否对 RX 匹配网络应用额外的线?	 <p>470 MHz band Reference Design Radio Board</p> <p>1.1 mm separation from GND</p> <p>Components close to each other</p> <p>Symmetrical balanced TX matching network</p> <p>PAVSS and RFVSS pins connected directly to exposed pad GND</p> <p>Matching and filtering capacitors connected directly to GND layer</p> <p>RX traces are part of the matching network</p> <p>Thermistor GND pad directly connected to XO crystal GND pad</p>
94. 对于 470 MHz, 布线/盘 与 GND 金属之间的匹配 是否至少间隔 1.1 mm?	
95. 对于 868、915 和 920 MHz, 布线/盘与 GND 金属之间的匹配 是否至少间隔 0.25 mm?	
96. 热敏电阻 GND 焊盘是否直接 连接到 XO 晶体 GND 焊盘 (与顶层 GND 灌流无连接)?	 <p>Continuous GND beneath the matching network on the first inner layer</p>
97. 是否在 RF 芯片和匹配网络下的第一个内层区域填充了连续 GND 金属? 是否避免在此区域布线?	

4.14 EFR32xG27 匹配网络 (QFN 封装版本) 的其他问题

98. 匹配组件是否彼此靠近?	
99. 第一个匹配网络组件 (L1) 的放置位置是否与 TX/RX 引脚相距大约 1.2-1.3 mm?	
100. 是否将 RFVSS 引脚仅连接至裸焊盘接地? 是否避免将该引脚连接至共同的顶层接地?	
101. 布线/盘与 GND 金属之间的匹配是否至少间隔 0.3 mm?	
102. 是否将并联匹配网络电容旋转到传输线的 RFVDD 侧?	
103. 并联匹配网络电容是否通过多个导通孔直接连接到第二层 GND 平面?	
104. 是否在 RF 芯片和匹配网络下的第一个内层区域填充了连续 GND 金属? 是否避免在此区域布线?	 

4.15 EFR32xG27 匹配网络 (WLCSP 封装版本) 的其他问题

105. 匹配组件是否彼此靠近?	
106. 第一个匹配网络组件 (L1) 是否靠近 TX/RX 引脚?	
107. 芯片 GND 引脚是否相互连接, 并连接到内部 GND 层?	
108. 布线/盘与 GND 金属之间的匹配是否至少间隔 0.3 mm?	
109. 是否将并联匹配网络电容旋转到传输线的 PAVDD 侧?	
110. 并联匹配网络电容是否通过多个导通孔直接连接到第二层 GND 平面?	
111. 是否在匹配网络下的第一个内层区域填充了连续 GND 金属? 是否避免在此区域布线? 通过微孔从第一内层的芯片引脚的走线是否尽可能短 (以避免分裂 GND 平面)?	 

4.16 EFR32xG28 匹配网络的其他问题

112.	第一个匹配网络组件 (L1 和 L4) 是否靠近 RF 引脚?
113.	匹配组件是否彼此靠近?
114.	并联匹配网络电容是否通过多个导通孔直接连接到第二层 GND 平面?
115.	是否将 RFVSS 引脚仅连接至裸焊盘接地? 是否避免将该引脚连接至共同的顶层接地?
116.	在匹配网络区域中, 是否与 GND 灌流保持较大的铜禁区和分隔区域?
117.	RX 布线是否在另一个 RF 端口的 TX 路径的 0402 尺寸直流阻塞电容下进行?
118.	是否对 RX 匹配网络应用额外的线?
119.	两个 RF 端口的 RX 布线之间是否存在铜隔离?
120.	是否在 RF 芯片和匹配网络下的第一个内层区域填充了连续 GND 金属? 是否避免在此区域布线?

5. 版本历史

修订版 1.4

2023 年 9 月

- 添加了 EFR32xG24 WLCSP 建议。
- 各种内容的小更新。

修订版 1.3

2023 年 8 月

- 添加了 EFR32xG28 建议。

版本 1.2

2023 年 7 月

- 更新了 EFR32xG21，以纳入修订版 EFR32xG21-C。

版本 1.1

2023 年 6 月

- 添加了 EFR32xG27 建议。
- 更新了 EFR32xG25 离散匹配网络。

版本 1.0

2022 年 12 月

- 增加了 EFR32xG25 布局建议。

修订版 0.9

2022 年 4 月

- 增加了 EFR32xG24 布局建议。
- 增加了特定于配有 HFCLKOUT 引脚的 EFR32xG23 的布局建议。
- 增加了 EFR32xG23 2 RF 前端使用布局建议。

修订版 0.8

2021 年 9 月

- 添加了 EFR32xG23 布局建议。

修订版 0.7

2021 年 8 月

- 添加了 EFR32xG22 的 T 匹配网络概念。

修订版 0.6

2021 年 1 月

- 更正了通用布局概念的匹配网络周围的铜禁区总计值。

修订版 0.5

2020 年 12 月

- 更正了中断的链接

修订版 0.4

2020 年 11 月

- 添加了 EFR32xG22 既有和通用布局概念建议

版本 0.3

2020 年 3 月

- 添加了 EFR32xG22 布局建议

版本 0.2

2019 年 11 月

- 添加了 EFR32xG21 0 dBm 和 0/10 dBm 匹配网络布局建议

修订版 0.1

2019 年 3 月

- 首次发行。

Simplicity Studio

One-click access to MCU and wireless tools, documentation, software, source code libraries & more. Available for Windows, Mac and Linux!



IoT Portfolio
www.silabs.com/IoT



SW/HW
www.silabs.com/simplicity



Quality
www.silabs.com/quality



Support & Community
www.silabs.com/community

Disclaimer

Silicon Labs intends to provide customers with the latest, accurate, and in-depth documentation of all peripherals and modules available for system and software implementers using or intending to use the Silicon Labs products. Characterization data, available modules and peripherals, memory sizes and memory addresses refer to each specific device, and "Typical" parameters provided can and do vary in different applications. Application examples described herein are for illustrative purposes only. Silicon Labs reserves the right to make changes without further notice to the product information, specifications, and descriptions herein, and does not give warranties as to the accuracy or completeness of the included information. Without prior notification, Silicon Labs may update product firmware during the manufacturing process for security or reliability reasons. Such changes will not alter the specifications or the performance of the product. Silicon Labs shall have no liability for the consequences of use of the information supplied in this document. This document does not imply or expressly grant any license to design or fabricate any integrated circuits. The products are not designed or authorized to be used within any FDA Class III devices, applications for which FDA premarket approval is required or Life Support Systems without the specific written consent of Silicon Labs. A "Life Support System" is any product or system intended to support or sustain life and/or health, which, if it fails, can be reasonably expected to result in significant personal injury or death. Silicon Labs products are not designed or authorized for military applications. Silicon Labs products shall under no circumstances be used in weapons of mass destruction including (but not limited to) nuclear, biological or chemical weapons, or missiles capable of delivering such weapons. Silicon Labs disclaims all express and implied warranties and shall not be responsible or liable for any injuries or damages related to use of a Silicon Labs product in such unauthorized applications.

Note: This content may contain offensive terminology that is now obsolete. Silicon Labs is replacing these terms with inclusive language wherever possible. For more information, visit www.silabs.com/about-us/inclusive-lexicon-project

Trademark Information

Silicon Laboratories Inc.[®], Silicon Laboratories[®], Silicon Labs[®], SiLabs[®] and the Silicon Labs logo[®], Bluegiga[®], Bluegiga Logo[®], EFM[®], EFM32[®], EFR, Ember[®], Energy Micro, Energy Micro logo and combinations thereof, "the world's most energy friendly microcontrollers", Redpine Signals[®], WiSeConnect, n-Link, ThreadArch[®], EZLink[®], EZRadio[®], EZRadioPRO[®], Gecko[®], Gecko OS, Gecko OS Studio, Precision32[®], Simplicity Studio[®], Telegesis, the Telegesis Logo[®], USBXpress[®], Zentri, the Zentri logo and Zentri DMS, Z-Wave[®], and others are trademarks or registered trademarks of Silicon Labs. ARM, CORTEX, Cortex-M3 and THUMB are trademarks or registered trademarks of ARM Holdings. Keil is a registered trademark of ARM Limited. Wi-Fi is a registered trademark of the Wi-Fi Alliance. All other products or brand names mentioned herein are trademarks of their respective holders.



Silicon Laboratories Inc.
400 West Cesar Chavez
Austin, TX 78701
USA

www.silabs.com