

James Wilson, Marketing Manager, Silicon Laboratories

Einführung

Es gibt eine breite Palette von Timing-Lösungen, wie etwa Kristalloszillatoren (XO), spannungsgeregelte Kristalloszillatoren (VCXO) und Taktgeber. Bei der Komponentenauswahl gilt jedoch die Devise: „Nicht jedes Hardwaredesign lässt sich mit einer Einheitslösung realisieren“. Welches Gerät in einer bestimmten Anwendung zum Einsatz kommt, hängt von einer Vielzahl von Faktoren ab. Entscheidend ist unter anderem, ob die Taktgeber mit einer externen Referenz-Clock synchronisiert werden müssen, welche Systemarchitektur der Prozessor und die ICs für die serielle Hochgeschwindigkeits-Datenübertragung aufweisen und welche Anforderungen die Endanwendung in Bezug auf die Frequenz und den Jitter stellt. Hochleistungsanwendungen erfordern einen niedrigen Jitter und geringes Phasenrauschen, da diese Faktoren sich bei Anwendungen zur seriellen Hochgeschwindigkeits-Datenübertragung direkt auf die Bitfehlerrate und bei Analog-/Digitalwandlern unmittelbar auf das Signal-Rausch-Verhältnis auswirken.

Das Hardwaredesign von Hochleistungsanwendungen, wie etwa Netzwerken, der Drahtlos-/Funkübertragung, Broadcast-Video sowie Test- und Messgeräten, wird immer komplexer. Gleichzeitig müssen die Hardwaredesigner eine wachsende Anzahl von Standards, Protokollen und Spezifikationen für ein einziges Hardwaredesign berücksichtigen. Dieser Trend lässt sich anhand einiger Beispiele veranschaulichen. Netzwerkeinrichtungen von heute unterstützen nicht nur SONET/SDH und Ethernet, sondern auch die HD-Videoübertragung. Drahtlosinfrastruktur-Geräte der nächsten Generation werden zukünftig sowohl WiMAX als auch LTE (Long-Term Evolution) unterstützen. Broadcast-Videogeräte, die eine große Vielfalt von Funktionen wie Bilderfassung, Codierung, Decodierung, Verarbeitung und Videoübertragung umfassen, müssen den NTSC- und PAL-Standard unterstützen, damit die weltweite Kompatibilität gewährleistet ist. Da die Grenzen zwischen den bisher sehr verschiedenen Gerätetypen zunehmend verwischen, ergibt sich eine zusätzliche Herausforderung. Um die Entwicklungszeit und die Materialkosten zu minimieren, ist eine effiziente Timing-Architektur bei diesen Anwendungen von höchster Wichtigkeit.

Asynchrone Taktung

Die einfachste Taktquelle ist ein Oszillator (XO). Dieser generiert eine Ausgangsfrequenz für jeweils eine Komponente. XOs kommen häufig in asynchronen Anwendungen zum Einsatz (siehe Abbildung 1). Jeder Oszillator gibt eine lokale Referenzfrequenz zur Verwaltung von zwei unabhängigen Taktgeberdomänen vor. Für den Systembetrieb sind zwar nah beieinanderliegende, jedoch keine identischen XO-Frequenzen erforderlich. Diese Architektur eignet sich ideal für Traffic-Anwendungen im Burst-Modus. Um Über- oder Unterlaufbedingungen zu vermeiden, muss zur Gewährleistung einer kontinuierlichen Kommunikation ein Bit- oder Packet-Stuffing sowie FIFO-Management erfolgen. Videoverarbeitungsgeräte und 10/100/1000BaseT-Ethernetgeräte sind Beispiele für Anwendungen auf Basis der asynchronen Taktung. Die Auswahl des XO sollte sich nach den Frequenz-, Jitter- und Stabilitätsanforderungen der Endanwendung richten.

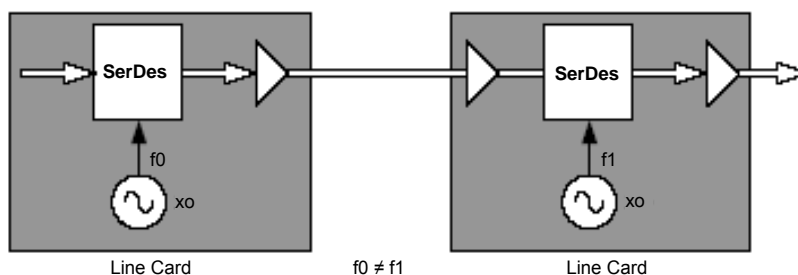


Abbildung 1. Beispiel für die asynchrone Taktung

Synchrone Taktung

Die synchrone Taktung wird häufig in Anwendungen genutzt, die eine kontinuierliche Kommunikation erfordern. Netzwerklatenz und Latenzschwankungen müssen auf ein Minimum reduziert sein. Damit dies erreicht werden kann, müssen Quelle und Ziel bei Anwendungen wie SONET/SDH, Synchronous Ethernet (SyncE), Wireless Backhaul und der Videoübertragung mit derselben Frequenz arbeiten. Auf der Übertragungsseite sind die Taktgeber, die das Timing für den Übertragungspfad des Hochgeschwindigkeits-SerDes bereitstellen, an eine hochpräzise Referenz-Clock gebunden. Die primären und sekundären Referenz-Clocks werden von einer zentralen Timing-Quelle (z. B. GPS) versorgt. Die Bindung an diese Backplane-Referenz erfolgt über eine PLL. Diese sorgt auch für die Jitter-Dämpfung beim Clock-Signal, um unerwünschtes Rauschen zu entfernen. Sie stellt der PHY außerdem eine jitterarme Ausgabe-Clock bereit. Auf der Empfängerseite wird die System-Clock mithilfe einer CDR-Einheit (Clock and Data Recovery, CDR) wiederhergestellt. Bei dieser CDR kann es sich je nach Anwendung um eine externe Komponente oder um eine in die PHY integrierte Komponente handeln. Zur Einstellung der CDR auf eine schnelle Erfassung und Bindung kann ein XO verwendet werden. Die wiederhergestellte Clock wird über eine andere PLL weitergeleitet, um die Clock-Frequenz in eine niedrigere Frequenz umzuwandeln. Das lokale Timing kann entweder mit dieser Clock oder mit einer anderen lokalen Clock synchronisiert werden, die mit einer zentralen Timing-Quelle synchronisiert ist. Die Synchronisierung mit der Quelle stellt die Clock-Synchronisierung über alle Netzwerkknoten sicher. Je nach den Systemvoraussetzungen erfordern die in dieser Anwendung verwendeten PLLs eventuell eine niedrige Schleifenbandbreite, damit unerwünschter Jitter aus dem Clock-Signal gefiltert werden kann.

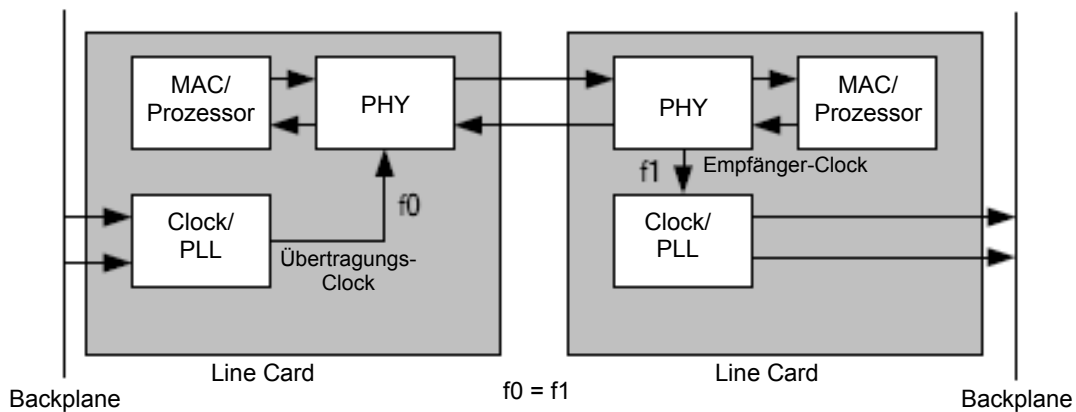


Abbildung 2. Beispiel für die synchrone Taktung

Die PLL kann diskret mithilfe eines integrierten Clock-IC oder anhand eines spannungsgeregelten Kristalloszillators (VCXO), eines Phasendetektors und eines Schleifenfilters implementiert werden. Eine diskrete Lösung ist von Vorzug, wenn niedriger Jitter und geringes Phasenrauschen gefordert sind. Bei einigen Anwendungen sind der Phasendetektor und die Ladungspumpe im IC des Prozessors oder der anwendungsspezifischen integrierten Schaltung (ASIC) integriert, sodass nur ein VCXO und ein externer Schleifenfilter benötigt werden (siehe Abbildung 3 unten).

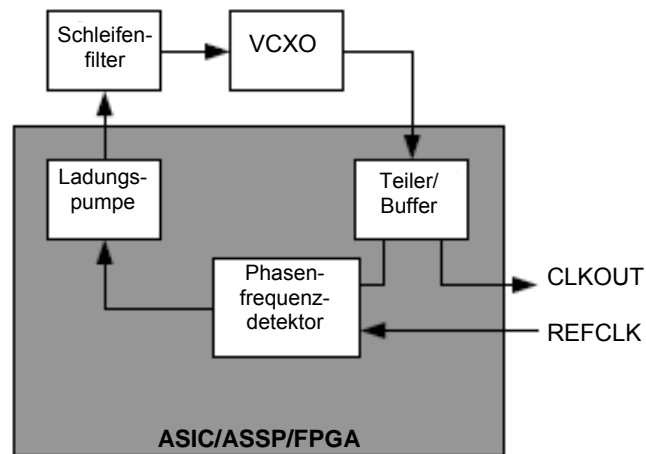


Abbildung 3. Teilweise integrierte PLL in ASIC

Diskrete PLL-Lösungen weisen jedoch mehrere Nachteile auf. Diskrete PLL erfordern ausgewiesene Kenntnis im Analogdesign und sind empfindlich gegenüber Rauschen auf Platinebene. Daher muss beim Design und Leiterplatten-Layout besondere Sorgfalt angewendet werden. Darüber hinaus stellt eine diskrete PLL in der Regel nur eine Ausgangsfrequenz bereit. Falls sich die Frequenzanforderungen des Designs ändern, ist ein separater VCXO als Quelle erforderlich. Einige Anwendungen verlangen mehrere VCXOs zur Erzeugung der benötigten Frequenzen. Dadurch steigt jedoch die Materialkomplexität. Um Mehrfrequenzanwendungen besser gerecht zu werden, bietet Silicon Laboratories jetzt I2C-programmierbare Dual-, Quad- oder Any-Rate-VCXOs wie den Si571 an. Mehrere diskrete VCXOs werden dabei durch nur eine Komponente ersetzt.

Als Alternative kann auch ein Jitter-dämpfender Clock-Multiplier-IC mit On-Chip-PLL verwendet werden. Der Clock-Multiplier hält die Bindung zur Referenz-Clock, filtert unerwünschten Jitter und generiert eine multiplizierte Frequenz-Ausgabe-Clock für den Transmitter. Die Auswahl des Clock-Multiplier-IC muss mit Sorgfalt erfolgen, da nicht alle Clock-Multiplier gleich aufgebaut sind. Für Anwendungen zur seriellen Hochgeschwindigkeits-Datenübertragung bieten nur die hochleistungsfähigsten Clock-Multiplier-ICs eine Jitter-Leistung, die den Anforderungen der Endanwendung entspricht. Die wichtigste Kenngröße ist die maximale Jitter-Erzeugung im Vergleich zur typischen Jitter-Erzeugung. Ein Clock-Multiplier, für den der maximale Jitter angegeben wird, versetzt den Hardwaredesigner eher in die Lage, ein Jitter-Budget für die Datenpfad- und Timing-Komponenten der Platine zuzuweisen. Auf diese Weise lässt sich sicherstellen, dass unter allen Bedingungen genügend Spielraum bleibt. Außerdem sollten die im Clock-Multiplier-IC verfügbaren Optionen für die Schleifenbandbreite überprüft werden. Ist eine Jitter-Dämpfung der Referenz-Clock erforderlich, darf die Schleifenbandbreite üblicherweise höchstens 1 kHz betragen. Schließlich ist zu prüfen, ob der Clock-Multiplier-IC alle erforderlichen Frequenzpläne unterstützt. Der Silicon Labs Si5319 ist ein Beispiel für einen frequenzagilen Clock-Multiplier mit Jitter-Dämpfung, der eine beliebige Frequenzsynthese bereitstellt.

Darüber hinaus sollte eine Clock-Lösung einer diskreten Lösung vorgezogen werden, wenn Clock-Funktionen auf Systemebene erforderlich sind. Ein Beispiel hierfür stellt das Hitless Switching zwischen Eingabe-Clocks dar. Dabei überwacht die Clock die Qualität einer primären Referenz-Clock. Wird bei der primären Clock eine Alarmbedingung festgestellt, erfolgt eine Umschaltung zur sekundären Referenz-Clock. Eine weitere gängige Anforderung an Clocks auf Systemebene ist das Holdover. Dabei fährt die Clock bei Fehlen einer gültigen Referenz-Clock mit der Erzeugung einer stabilen Ausgabe-Clock fort. Clocks, die diesen Anforderungen auf Systemebene gerecht werden, sind bei mehreren Anbietern verfügbar.

Die Tabelle unten fasst zusammen, unter welchen Bedingungen XO-, VCXO- oder Clock-Lösungen zum Einsatz kommen sollten.

	XO	VCXO	Clock
Primäre Funktionen	Asynchrones Timing CDR-Referenz-Clock	Synchrones Timing Clock-Multiplikation/Jitter-Dämpfung im Rahmen einer diskreten PLL Generiert eine Ausgabe-Clock	Synchrones Timing Clock-Multiplikation Jitter-Dämpfung Generiert mehrere Ausgabe-Clocks Funktionen auf Systemebene (Holdover, Hitless Switching)
Frequenz	Fest	Kontinuierlich variabel über den Empfangsbereich (Typ +/- 100 ppm)	Über 3P-Schnittstelle für eine große Anzahl von Frequenzplänen rekonfigurierbar
Designkomplexität	Niedrig	Hoch	Niedrig
Integration	Hoch	Niedrig	Hoch
Jitter-Filter	Nein	Ja (diskret)	Ja (integriert)
Einsatzbereich	Wenn ein lokaler Oszillator erforderlich ist	Wenn geringes Phasenrauschen/niedrige Jitter-Leistung verlangt wird PLL-Schaltkreistechnik in ASIC/FPGA integriert	Wenn eine integrierte Lösung bevorzugt wird Wenn Jitter-Dämpfung und/oder Clock-Multiplikation erforderlich ist Wenn Frequenzflexibilität erforderlich ist Wenn Funktionen auf Systemebene erforderlich sind

Tabelle 1. Leitfaden für Timing-Lösungen

Die Auswahl der richtigen Clock bzw. des am besten für ein bestimmtes Design geeigneten Oszillators ist einfach. Ziehen Sie dazu die Tabelle oben zu Rate. Silicon Laboratories bietet eine breite Palette von Jitter-dämpfenden Clock-Multipliern, Taktgeneratoren, Clock Buffern, XOs und VCXOs für die verschiedensten Timing-Anforderungen an. Weitere Informationen zu diesen Produkten erhalten Sie unter www.silabs.com/timing.